

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月28日

出 願 番 号

Application Number:

特願2003-019271

[ST.10/C]:

[JP2003-019271]

出 願 人

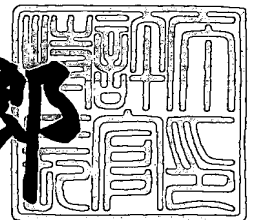
Applicant(s):

株式会社半導体理工学研究センター

2003年 4月 1日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3022689

【書類名】 特許願

【整理番号】 1025189

【提出日】 平成15年 1月28日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/04
H01L 21/822
H03K 19/094

【発明の名称】 半導体集積回路装置

【請求項の数】 23

【発明者】

【住所又は居所】 埼玉県蕨市南町 3 - 7 - 6

【氏名】 石橋 孝一郎

【発明者】

【住所又は居所】 東京都墨田区太平 4 - 2 0 - 5 錦糸町ローヤルコーポ
4 0 8

【氏名】 山下 高廣

【特許出願人】

【識別番号】 396023993

【氏名又は名称】 株式会社半導体理工学研究センター

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【先の出願に基づく優先権主張】

【出願番号】 特願2002-211536

【出願日】 平成14年 7月19日

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9903088

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 第 1 導電型 (p^+ ; n^+) のソース電極 (S) およびドレイン電極 (D) とゲート電極 (G) とを有し、第 2 導電型 (n ; p) のウェル (1 0 ; 2 0) に形成されてなる MISFET (1 ; 2) を備える半導体集積回路装置であって、

前記ウェル (1 0 ; 2 0) の電位 (V_{bp} ; V_{bn}) を、前記 MISFET (1 ; 2) のソース電極 (S) および該ウェル (1 0 ; 2 0) により形成されるダイオード (1 1 ; 2 1) に対して所定電流 (I_{bp} ; I_{bn}) を順方向に流すことにより生成する基板バイアス回路 (1 1 0, 1 1 1 ~ 1 1 3 ; 3 ; 4 ; 1 5 1, 1 6 1) を備えることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 に記載の半導体集積回路装置において、
該半導体集積回路装置 (1 0 0) は、複数の回路ブロック (1 0 1 ~ 1 0 3) を有し、

前記基板バイアス回路 (1 1 1 ~ 1 1 3) は、前記各回路ブロック (1 0 1 ~ 1 0 3) 毎にそれぞれ設けられていることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 2 に記載の半導体集積回路装置において、さらに、
前記各基板バイアス回路 (1 1 1 ~ 1 1 3) を、対応する前記各回路ブロック (1 0 1 ~ 1 0 3) 毎に制御する電力制御ユニット (1 0 5) を備えることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 に記載の半導体集積回路装置において、
該半導体集積回路装置 (1 0 0) は、複数の回路ブロック (1 5 0, 1 6 0) を有し、

前記基板バイアス回路 (1 5 1, 1 6 1) は、前記各回路ブロック (1 5 0, 1 6 0) 毎にそれぞれ設けられると共に、当該回路ブロックの制御信号 (CSA, CSB) により制御されることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1 に記載の半導体集積回路装置において、
該半導体集積回路装置 (1 0 0) は、複数の回路ブロック (1 0 1 ~ 1 0 3 ;

1 0 1 0) を有し、

前記回路ブロック (1 0 1 0) は、複数の機能ブロック (1 1 1 0, 1 1 2 0, 1 1 3 0, 1 1 4 0) を有し、

前記基板バイアス回路 (1 1 1 1, 1 1 2 1, 1 1 3 1, 1 1 4 1) は、前記各機能ブロック (1 1 1 0, 1 1 2 0, 1 1 3 0, 1 1 4 0) 毎にそれぞれ設けられていることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 1 に記載の半導体集積回路装置において、

該半導体集積回路装置は標準セル部 (4 0 0) を有し、

前記基板バイアス回路 (4 3 0 - 1 ~ 4 3 0 - n) は、前記標準セル部の各行毎にそれぞれ設けられていることを特徴とする半導体集積回路装置。

【請求項 7】 請求項 1 に記載の半導体集積回路装置において、前記基板バイアス回路 (1 1 0) は、第 1 の電源線 (V s s ; V d d) と前記ウェル (1 0 ; 2 0) のコンタクト領域 (1 0 a ; 2 0 a) との間に設けられた電流源 (3 ; 4) を備え、該コンタクト領域 (1 0 a ; 2 0 a) を介して前記ダイオード (1 1 ; 2 1) に前記所定電流 (I b p ; I b n) を流すことを特徴とする半導体集積回路装置。

【請求項 8】 請求項 7 に記載の半導体集積回路装置において、前記電流源 (3 ; 4) は、前記第 1 の電源線 (V s s ; V d d) を電源として前記所定電流 (I b p ; I b n) を発生することを特徴とする半導体集積回路装置。

【請求項 9】 請求項 8 に記載の半導体集積回路装置において、前記電流源 (3 ; 4) は、

制御信号 (C b p ; C b n) がゲート電極に供給され、ソース電極が第 2 の電源線 (V d d ; V s s) に接続された前記 M I S F E T と同じ極性の電流源用第 1 M I S F E T (3 2 ; 4 2) と、

ソース電極が前記第 1 の電源線 (V s s ; V d d) に接続され、ドレイン電極およびゲート電極が前記電流源用第 1 M I S F E T (3 2 ; 4 2) のドレイン電極に接続された前記 M I S F E T と異なる極性の電流源用第 2 M I S F E T (3 3 ; 4 3) と、

前記電流源用第 2 M I S F E T (3 3 ; 4 3) に対してカレントミラー接続さ

れ、ドレインが前記コンタクト領域（10a；20a）に接続される電流源用第3MISFET（34；44）とを備えることを特徴とする半導体集積回路装置。

【請求項10】 請求項9に記載の半導体集積回路装置において、前記電流源（3；4）は、さらに、

前記制御信号（Cb_p；Cb_n）の反転信号がゲート電極に供給され、ソース電極が前記コンタクト領域（10a；20a）に接続され、且つ、ドレイン電極が前記第2の電源線（V_{dd}；V_{ss}）に接続された前記MISFETと同じ極性の電流源用第4MISFET（30；40）を備えることを特徴とする半導体集積回路装置。

【請求項11】 請求項8に記載の半導体集積回路装置において、前記電流源（3；4）は、

制御信号（Cb_p；Cb_n）がゲート電極に供給され、ソース電極が前記第1の電源線（V_{ss}；V_{dd}）に接続された前記MISFETと異なる極性の電流源用第5MISFET（34；42）と、

前記制御信号（Cb_p；Cb_n）がゲート電極に供給され、ソース電極が前記コンタクト領域（10a；20a）に接続され、且つ、ドレイン電極が前記第2の電源線（V_{dd}；V_{ss}）に接続された前記MISFETと同じ極性の電流源用第6MISFET（30；40）とを備えることを特徴とする半導体集積回路装置。

【請求項12】 第1導電型（p⁺）のソース電極（S）およびドレイン電極（D）とゲート電極（G）とを有し、第2導電型（n）の第1ウェル（10）に形成されてなる第1極性（p）の第1MISFET（1）、並びに、前記第2導電型（n⁺）のソース電極およびドレイン電極とゲート電極とを有し、前記第1導電型（p）の第2ウェル（20）に形成されてなる第2極性（n）の第2MISFET（2）を備える半導体集積回路装置であって、

前記第1ウェル（10）の電位（V_{b_p}）を、前記第1MISFET（1）のソース電極および該第1ウェルにより形成されるダイオード（11）に対して所定電流（I_{b_p}）を順方向に流すことによって生成する第1基板バイアス回路（

110; 111~113; 3) と、

前記第2ウェル(20)の電位(V_{bn})を、前記第2MISFET(2)のソース電極および該第2ウェルにより形成されるダイオード(21)に対して所定電流(I_{bn})を順方向に流すことによって生成する第2基板バイアス回路(110; 111~113; 4)とを備えることを特徴とする半導体集積回路装置

。

【請求項13】 請求項12に記載の半導体集積回路装置において、

該半導体集積回路装置(100)は、複数の回路ブロック(101~103)を有し、

前記第1および第2基板バイアス回路(3, 4)は、前記各回路ブロック(101~103)毎にそれぞれ設けられていることを特徴とする半導体集積回路装置。

【請求項14】 請求項13に記載の半導体集積回路装置において、さらに

前記各第1および第2基板バイアス回路(3, 4)を、対応する前記各回路ブロック(101~103)毎に制御する電力制御ユニット(105)を備えることを特徴とする半導体集積回路装置。

【請求項15】 請求項12に記載の半導体集積回路装置において、

該半導体集積回路装置(100)は、複数の回路ブロック(150, 160)を有し、

前記第1および第2基板バイアス回路(3, 4)は、前記各回路ブロック(150, 160)毎にそれぞれ設けられると共に、当該回路ブロックの制御信号(C_{SA} , C_{SB})により制御されることを特徴とする半導体集積回路装置。

【請求項16】 請求項12に記載の半導体集積回路装置において、

該半導体集積回路装置(100)は、複数の回路ブロック(101~103; 1010)を有し、

前記回路ブロック(1010)は、複数の機能ブロック(1110, 1120, 1130, 1140)を有し、

前記第1および第2基板バイアス回路(3, 4)は、前記各機能ブロック(1

1 1 0, 1 1 2 0, 1 1 3 0, 1 1 4 0) 毎にそれぞれ設けられていることを特徴とする半導体集積回路装置。

【請求項 1 7】 請求項 1 2 に記載の半導体集積回路装置において、

該半導体集積回路装置は標準セル部 (4 0 0) を有し、

前記第 1 および第 2 基板バイアス回路 (3, 4) は、前記標準セル部の各行毎にそれぞれ設けられていることを特徴とする半導体集積回路装置。

【請求項 1 8】 請求項 1 2 に記載の半導体集積回路装置において、

前記第 1 基板バイアス回路は、第 1 の電源線 (V_{ss}) と前記第 1 ウェル (1 0) のコンタクト領域 (1 0 a) との間に設けられた第 1 電流源 (3) を備え、該第 1 ウェルのコンタクト領域 (1 0 a) を介して前記第 1 ダイオード (1 1) に前記所定電流 (I_{bp}) を流し、且つ、

前記第 2 基板バイアス回路は、第 2 の電源線 (V_{dd}) と前記第 2 ウェル (2 0) のコンタクト領域 (2 0 a) との間に設けられた第 2 電流源 (4) を備え、該第 2 ウェルのコンタクト領域 (2 0 a) を介して前記第 2 ダイオード (2 1) に前記所定電流 (I_{bn}) を流すことを特徴とする半導体集積回路装置。

【請求項 1 9】 請求項 1 8 に記載の半導体集積回路装置において、

前記第 1 電流源 (3) は、前記第 1 の電源線 (V_{ss}) を電源として前記所定電流 (I_{bp}) を発生し、且つ、前記第 2 電流源 (4) は、前記第 2 の電源線 (V_{dd}) を電源として前記所定電流 (I_{bn}) を発生することを特徴とする半導体集積回路装置。

【請求項 2 0】 請求項 1 9 に記載の半導体集積回路装置において、

前記第 1 電流源 (3) は、

第 1 制御信号 (C_{bp}) がゲート電極に供給され、ソース電極が前記第 2 の電源線 (V_{dd}) に接続された前記第 1 MISFET と同じ極性の第 1 電流源用第 1 MISFET (3 2) と、

ソース電極が前記第 1 の電源線 (V_{ss}) に接続され、ドレイン電極およびゲート電極が前記第 1 電流源用第 1 MISFET (3 2) のドレイン電極に接続された前記第 1 MISFET と異なる極性の第 1 電流源用第 2 MISFET (3 3) と、

前記第 1 電流源用第 2 M I S F E T (3 3) に対してカレントミラー接続され、ドレインが前記第 1 ウェルのコンタクト領域 (1 0 a) に接続される第 1 電流源用第 3 M I S F E T (3 4) とを備え、且つ、

前記第 2 電流源 (4) は、

第 2 制御信号 (C b n) がゲート電極に供給され、ソース電極が前記第 1 の電源線 (V s s) に接続された前記第 2 M I S F E T と同じ極性の第 2 電流源用第 1 M I S F E T (4 2) と、

ソース電極が前記第 2 の電源線 (V s s) に接続され、ドレイン電極およびゲート電極が前記第 2 電流源用第 1 M I S F E T (4 2) のドレイン電極に接続された前記第 2 M I S F E T と異なる極性の第 2 電流源用第 2 M I S F E T (4 3) と、

前記第 2 電流源用第 2 M I S F E T (4 3) に対してカレントミラー接続され、ドレインが前記第 2 ウェルのコンタクト領域 (2 0 a) に接続される第 2 電流源用第 3 M I S F E T (4 4) とを備えることを特徴とする半導体集積回路装置。

【請求項 2 1】 請求項 2 0 に記載の半導体集積回路装置において、

前記第 1 電流源 (3) は、さらに、

前記第 1 制御信号 (C b p) の反転信号がゲート電極に供給され、ソース電極が前記第 1 ウェルのコンタクト領域 (1 0 a) に接続され、且つ、ドレイン電極が前記第 2 の電源線 (V d d) に接続された前記第 1 M I S F E T と同じ極性の第 1 電流源用第 4 M I S F E T (3 0) を備え、且つ、

前記第 2 電流源 (4) は、さらに、

前記第 2 制御信号 (C b n) の反転信号がゲート電極に供給され、ソース電極が前記第 2 ウェルのコンタクト領域 (2 0 a) に接続され、且つ、ドレイン電極が前記第 1 の電源線 (V s s) に接続された前記第 2 M I S F E T と同じ極性の第 2 電流源用第 4 M I S F E T (4 0) を備えることを特徴とする半導体集積回路装置。

【請求項 2 2】 請求項 1 9 に記載の半導体集積回路装置において、

前記第 1 電流源 (3) は、

第 1 制御信号 (C b p) がゲート電極に供給され、ソース電極が前記第 1 の電源線 (V s s) に接続された前記第 1 M I S F E T と異なる極性の第 1 電流源用第 5 M I S F E T (3 4) と、

前記第 1 制御信号 (C b p) がゲート電極に供給され、ソース電極が前記第 1 ウェルのコンタクト領域 (1 0 a) に接続され、且つ、ドレイン電極が前記第 2 の電源線 (V d d) に接続された前記第 1 M I S F E T と同じ極性の第 1 電流源用第 6 M I S F E T (3 0) とを備え、且つ、

前記第 2 電流源 (4) は、

第 2 制御信号 (C b n) がゲート電極に供給され、ソース電極が前記第 2 の電源線 (V d d) に接続された前記第 2 M I S F E T と異なる極性の第 2 電流源用第 5 M I S F E T (4 4) と、

前記第 2 制御信号 (C b n) がゲート電極に供給され、ソース電極が前記第 2 ウェルのコンタクト領域 (2 0 a) に接続され、且つ、ドレイン電極が前記第 1 の電源線 (V s s) に接続された前記第 2 M I S F E T と同じ極性の第 2 電流源用第 6 M I S F E T (4 0) とを備えることを特徴とする半導体集積回路装置。

【請求項 2 3】 請求項 1 ～ 2 2 のいずれか 1 項に記載の半導体集積回路装置において、該半導体集積回路装置を、温度の上昇に従ってリーク電流が増大して遅延が減少する特性を示す低電圧で動作させることにより、温度に対する動作遅延の変化を一定にしたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体集積回路装置に関し、特に、低電圧で動作する高速の M I S F E T を備える半導体集積回路装置に関する。

【0 0 0 2】

近年、例えば、携帯電話や携帯型 P D A (Personal Digital Assistant) 等の携帯情報機器の普及および高機能化に伴って、M O S F E T (Metal-Oxide-Semiconductor Field Effect Transistor: 或いは、より広く M I S F E T (Metal-Insulator-Semiconductor FET)) で構成した半導体集積回路装置に対しても、よ

り一層の高速化並びに低消費電力化が望まれている。

【0003】

従来、CMOS (Complementary MOS) 回路の消費電力を低減するために駆動用の電源電圧を低下させることが行われてきた。しかしながら、電源電圧の低下は動作速度の低下をきたすため、高速動作を維持しつつ低消費電力を図るには、MOSトランジスタのしきい値電圧を下げる必要があった。ところで、MOSトランジスタのしきい値電圧の低下は、CMOS回路におけるスイッチング動作を高速化させることになるが、サブスレッショルドリーク電流が増加して消費電力の増大を招くことにもなる。

【0004】

そこで、近年、MOSトランジスタのウェル電圧（基板電圧：バックゲートの電圧）として順方向のバイアス電圧を印加することが注目されている。しかしながら、ウェル（基板）に対して順方向のバイアス電圧を印加するには、バイアス電圧発生回路による占有面積の増大等のさらなる問題も生じている。そこで、簡単な回路構成により適切なレベルの順方向基板（ウェル）バイアス電圧を発生することのできる基板バイアス回路を備えた半導体集積回路装置の提供が要望されている。

【0005】

【従来の技術】

近年、CMOS回路を高速且つ低消費電力で駆動するために、MOSトランジスタの基板（ウェル）に順方向のバイアス電圧を印加することが注目されている。

【0006】

具体的に、従来、アクティブ動作時には順方向基板バイアスFBBを与え、且つ、スタンバイモードでは零基板バイアスZBBを与えて、高速動作と低消費電力を両立した半導体集積回路装置（CMOSチップ）が提案されている（例えば、非特許文献1参照）。

【0007】

また、従来、MOSトランジスタに与える順方向の基板バイアス電圧を、温度

上昇に対する異なる不純物濃度の拡散領域によるPN接合の電流電圧特性を利用して制御することで、温度変化が生じても大きなリーク電流が流れるのを防止した半導体集積回路装置が提案されている（特許文献1参照）。

【0008】

図1は従来の半導体集積回路装置の一例を示す回路図であり、前者（非特許文献1：“1.1V 1GHz Communications Router with ON-Chip Body Bias 150nm CMOS”）の要部構成を示すものである。図1において、参照符号200はインバータ部（CMOSインバータ）、201はpチャネル型MOSトランジスタ（pMOSトランジスタ）、202はnチャネル型MOSトランジスタ（nMOSトランジスタ）、203はインピーダンス素子、そして、204はバイアス電圧発生回路を示している。また、参照符号V_{dd}は高電位電源電圧（高電位電源線）、V_{ss}は低電位電源電圧（低電位電源線）、そして、V_{b_p}はpMOSトランジスタ用基板バイアス電圧（pMOSトランジスタのnチャネル型ウェル領域（nウェル）に対するバイアス電圧）を示している。なお、各トランジスタにおいて、参照符号Gはゲート電極、Dはドレイン電極、そして、Sはソース電極を示している。また、参照符号INはインバータの入力を示し、OUTはインバータの出力を示している。

【0009】

図1に示されるように、従来の半導体集積回路装置の一例においては、pMOSトランジスタ201のnウェル（バックゲート）に対して、インピーダンス素子203を介して基板バイアス電圧V_{b_p}（バイアス電圧発生回路204の出力電圧）を印加するようになっている。ここで、電源電圧V_{dd}は、例えば、1.1Vであり、また、基板バイアス電圧V_{b_p}は、V_{dd} - 0.45V（例えば、0.55V）である。

【0010】

すなわち、図1に示す半導体集積回路装置において、例えば、動作時にはpMOSトランジスタ201のnウェルにV_{dd} - 0.45Vの順方向基板バイアス電圧V_{b_p}を印加し、また、スタンバイモードでは零基板バイアス電圧を印加（基板バイアス電圧の印加を停止）することで動作時のしきい値電圧の低下（順方

向基板バイアス電圧の印加) による高速化とスタンバイモードにおける消費電力の低減を両立するようになっている。なお、インピーダンス素子 2 0 3 は、例えば、温度上昇等により過大な電流が流れるのを制限するためのものである。

【 0 0 1 1 】

図 2 は従来の半導体集積回路装置の他の例を示す回路図である。図 2 において、参照符号 3 0 0 はインバータ部、3 0 1 は pMOS トランジスタ、3 0 2 は nMOS トランジスタ、3 0 3 および 3 0 4 は電流源、そして、3 0 5 および 3 0 6 はバイアス電圧発生回路を示している。なお、図 2 において、参照符号 V_{bn} は nMOS トランジスタ用基板バイアス電圧 (nMOS トランジスタの p チャネル型基板 (p チャネル型ウェル領域) に対するバイアス電圧) を示している。

【 0 0 1 2 】

図 2 に示されるように、従来の半導体集積回路装置の他の例においては、pMOS トランジスタ 3 0 1 の n チャネル型ウェル領域 (n ウェル: バックゲート) に対して、電流源 3 0 3 を介して基板バイアス電圧 V_{bp} (バイアス電圧発生回路 3 0 5 の出力電圧) を印加し、また、nMOS トランジスタ 3 0 2 の p チャネル型ウェル領域 (p ウェル: バックゲート) に対して、電流源 3 0 4 を介して基板バイアス電圧 V_{bn} (バイアス電圧発生回路 3 0 6 の出力電圧) を印加するようになっている。ここで、pMOS トランジスタ用基板バイアス電圧 V_{bp} は、高電位電源電圧 V_{dd} よりも所定電圧だけ低い固定電圧であり、また、nMOS トランジスタ用基板バイアス電圧 V_{bn} は、低電位電源電圧 V_{ss} よりも所定電圧だけ高い固定電圧である。

【 0 0 1 3 】

すなわち、図 2 に示す半導体集積回路装置においては、例えば、MOS トランジスタに与える順方向の基板バイアス電圧を、温度上昇に対する p^- 拡散領域および n ウェルの間 (p ウェルおよび n^+ 拡散領域の間) の PN 接合の電流電圧特性と p^+ 拡散領域および n ウェルの間 (p ウェルおよび n^- 拡散領域の間) の PN 接合の電流電圧特性とを利用して制御することにより、ラッチアップの発生をなくして温度変化が生じても大きなリーク電流が流れるのを防止するものである。

【 0 0 1 4 】

【非特許文献 1】

S. Narendra et al., " 1.1V 1GHz Communications Router with ON-Chip Body Bias 150nm CMOS" , ISSCC 2002/SESSION 16/HIGH SPEED I/O 16.4, pp.270, 271, 466; February 5, 2002

【特許文献 1】

特開 2 0 0 1 - 3 4 5 4 2 4 号公報

【0 0 1 5】

【発明が解決しようとする課題】

上述したように、従来、M O S トランジスタの基板（ウェル）に順方向の基板バイアス電圧を与えて C M O S 回路で構成される半導体集積回路装置を高速且つ低消費電力で駆動するようにしたものが提案されている。

【0 0 1 6】

しかしながら、図 1 或いは図 2 に示す半導体集積回路装置においては、順方向の基板バイアス電圧（例えば、0. 4 ～ 0. 5 V 程度）を発生するために所定の回路規模を有する基板電圧発生回路が必要なため、占有面積が増大するといった問題がある。さらに、順方向の基板バイアス電圧をある程度の余裕を持って設定する必要があるため、基板バイアス電圧が小さく抑えられ、トランジスタのしきい値電圧を最大限に低下させて高速動作を行うことは難しくなっている。

【0 0 1 7】

本発明は、上述した従来の半導体集積回路装置が有する課題に鑑み、簡単な回路構成により適切なレベルの順方向基板（ウェル）バイアス電圧を発生することのできる基板バイアス回路を備えた半導体集積回路装置の提供を目的とする。

【0 0 1 8】

【課題を解決するための手段】

本発明の第 1 の形態によれば、第 1 導電型のソース電極およびドレイン電極とゲート電極とを有し、第 2 導電型のウェルに形成されてなる M I S F E T を備える半導体集積回路装置であって、前記ウェルの電位を、前記 M I S F E T のソース電極および該ウェルにより形成されるダイオードに対して所定電流を順方向に流すことにより生成する基板バイアス回路を備えることを特徴とする半導体集積

回路装置が提供される。

【0019】

本発明の第2の形態によれば、第1導電型のソース電極およびドレイン電極とゲート電極とを有し、第2導電型の第1ウェルに形成されてなる第1極性の第1MISFET、並びに、前記第2導電型のソース電極およびドレイン電極とゲート電極とを有し、前記第1導電型の第2ウェルに形成されてなる第2極性の第2MISFETを備える半導体集積回路装置であって、前記第1ウェルの電位を、前記第1MISFETのソース電極および該第1ウェルにより形成されるダイオードに対して所定電流を順方向に流すことによって生成する第1基板バイアス回路と、前記第2ウェルの電位を、前記第2MISFETのソース電極および該第2ウェルにより形成されるダイオードに対して所定電流を順方向に流すことによって生成する第2基板バイアス回路とを備えることを特徴とする半導体集積回路装置が提供される。

【0020】

図3は本発明に係る半導体集積回路装置の原理構成を示す回路図であり、また、図4は本発明に係る半導体集積回路装置の原理構成を説明するための断面図である。ここで、図3に示す回路は、図4におけるnMOSトランジスタ(2)の部分に対応する。なお、pMOSトランジスタ1およびnMOSトランジスタ2で構成されるインバータ(CMOSインバータ)に関しては、図4も参照して後に詳述する。

【0021】

図3および図4において、参照符号2はnMOSトランジスタ、4は電流源、そして、21はダイオード(寄生ダイオード)を示している。また、図4において、参照符号2aは導電電極、2bは絶縁膜、20はpチャネル型半導体基板(pチャネル型ウェル)、20aは p^+ 拡散領域、20b、20cは n^+ 拡散領域を示している。

【0022】

図3および図4に示されるように、nMOSトランジスタ2は、pチャネル型ウェル(pウェル)20に形成され、 n^+ 拡散領域(ソース電極S)20b、 n^+

拡散領域（ドレイン電極D）20c、および、絶縁膜2bを介した導電電極（ゲート電極G）2aにより構成される。ここで、従来の一般的なpMOSトランジスタ（逆基板バイアスのトランジスタ）においては、 p^+ 拡散領域（コンタクト領域）20aを介してpウェル20（nMOSトランジスタ2のバックゲート）に対して低電位電源電圧 V_{ss} を印加するようになっているが、本発明においては、そのコンタクト領域（ p^+ 拡散領域）20aに対して、電流源4を介して高電位電源電圧 V_{dd} を与えるようになっている。なお、図3におけるダイオード21は、pウェル20とソース電極（S）20bとの間に形成される。

【0023】

本発明によれば、電流源4の出力電流（定電流） I_{bn} がpウェル20とソース電極S（ n^+ 拡散領域20b）で構成されるダイオード21に順方向に流れることで基板バイアス電圧 V_{bn} が生成されるようになっている。ここで、電流 I_{bn} は、例えば、動作時にスイッチング電流を含めて回路全体を流れる電流に対し、無視し得る程度の値（例えば、回路全体を流れる電流の1/10程度、或いは、それ以下）に設定される。

【0024】

図5は本発明の半導体集積回路装置の原理を説明するためのダイオード特性を示す図である。

【0025】

図5に示されるように、ダイオード（21）の電流－電圧特性は、各温度（例えば、75℃、25℃および－25℃）に対して異なっている。本発明においては、ダイオード21に対して一定の電流源4の出力電流 I_{bn} が流れることとなるため、pウェル20に対して各温度における最大限の基板バイアス電圧を与えることができる。

【0026】

すなわち、従来、pウェル20に与える順方向の基板バイアス電圧 V_{bn} を考えた場合、例えば、半導体集積回路装置の規格値における上限の温度を考慮して（或いは、さらに所定のマージンも与えて：例えば、75℃）設定するため、順方向基板バイアス電圧（ V_{bn} ）のレベルを高くしてトランジスタ（pMOSト

ランジスタ 2) のしきい値電圧を可能な限り低くすることはできず、その結果、回路の動作速度を最大限に高速化することが困難であった。

【 0 0 2 7 】

これに対して、本発明の半導体集積回路装置によれば、回路の動作速度を使用される温度に応じて最大限に高速化することが可能である。また、本発明の半導体集積回路装置によれば、コンタクト領域をそのまま使用して電流源の出力をウェル（基板）に与え、ウェルとソース電極（拡散領域）により形成されるダイオードを利用して基板バイアス電圧を発生するため、簡単な回路構成で占有面積も小さく抑えることができる。さらに、本発明の半導体集積回路装置によれば、順方向基板バイアス電圧を生成するための電流は、電流源により規定されることになるため、温度変化等に依存することなく消費電力（回路を流れる電流）を制御することができる。

【 0 0 2 8 】

【発明の実施の形態】

以下、本発明に係る半導体集積回路装置の実施例を、添付図面を参照して詳述する。

【 0 0 2 9 】

図 6 は本発明に係る半導体集積回路装置の一実施例を概念的に示す回路図であり、CMOS インバータ部を示すものである。図 6 において、参照符号 1 は p MOS トランジスタ、2 は n MOS トランジスタ、1 1, 1 2 ; 2 1, 2 2 はダイオード（寄生ダイオード）、そして、3, 4 は電流源を示している。

【 0 0 3 0 】

図 6 および前述した図 4 に示されるように、n MOS トランジスタ 2 は、p ウェル 2 0 に形成され、ソース電極 S (n^+ 拡散領域 2 0 b)、ドレイン電極 D (n^+ 拡散領域 2 0 c)、および、絶縁膜 2 b を介したゲート電極 D (導電電極 2 a) により構成される。同様に、p MOS トランジスタ 1 は、n チャネル型ウェル (n ウェル) 1 0 に形成され、ソース電極 S (p^+ 拡散領域) 1 0 b、ドレイン電極 D (p^+ 拡散領域) 1 0 c、および、絶縁膜 1 b を介したゲート電極 G (導電電極) 1 a) により構成される。

【 0 0 3 1 】

nMOSトランジスタ2において、コンタクト領域(p^+ 拡散領域)20aには高電位電源電圧 V_{dd} に繋がれた電流源4が接続され、pウェル20とソース電極S(n^+ 拡散領域20b)とで構成されるダイオード21に対して順方向の電流 I_{bn} を流すようになっている。この電流 I_{bn} が流されるダイオード21によりpウェル20には、所定の順方向基板バイアス電圧 V_{bn} が発生する。ここで、図5を参照して前述したように、基板バイアス電圧 V_{bn} は、動作温度に応じて最適なレベルに変化するため、すなわち、動作温度が高ければ(例えば、 75°C のとき)、基板バイアス電圧 V_{bn} は小さくなってトランジスタのしきい値電圧は高く設定され、また、動作温度が低ければ(例えば、 -25°C のとき)、基板バイアス電圧 V_{bn} は大きくなってトランジスタのしきい値電圧は低く設定され、低いしきい値電圧のトランジスタによる回路の高速動作が十分に発揮されることになる。

【 0 0 3 2 】

また、pMOSトランジスタ1において、コンタクト領域(n^+ 拡散領域)10aには低電位電源電圧 V_{ss} に繋がれた電流源3が接続され、nウェル10とソース電極S(p^+ 拡散領域10b)とで構成されるダイオード11に対して順方向の電流 I_{bp} を流すようになっている。この電流 I_{bp} が流されるダイオード11によりnウェル10には、所定の順方向基板バイアス電圧 V_{bp} が発生する。ここで、上述したnMOSトランジスタ2における基板バイアス電圧 V_{bn} と同様に、pMOSトランジスタ1における基板バイアス電圧 V_{bp} も動作温度に応じて最適なレベルに変化するため、すなわち、動作温度が高ければ基板バイアス電圧 V_{bp} は大きくなってトランジスタのしきい値電圧は高く設定され、また、動作温度が低ければ(例えば、 -25°C のとき)、基板バイアス電圧 V_{bp} は小さくなってトランジスタのしきい値電圧は低く設定され、低いしきい値電圧のトランジスタによる回路の高速動作が十分に発揮されることになる。

【 0 0 3 3 】

図7は図6に示す半導体集積回路装置の一構成例を示す回路図であり、基板バイアス回路110(電流源3, 4)の一例を示すものである。

【0034】

図7に示されるように、電流源4は、インバータ41、nMOSトランジスタ40、42およびpMOSトランジスタ43、44を備えて構成されている。そして、制御信号Cbnが高レベル『H』のときに、nMOSトランジスタ42がオンしてpMOSトランジスタ43に電流が流れ、さらに、pMOSトランジスタ43とカレントミラー接続されたpMOSトランジスタ44に電流Ibnが流れるようになっている。すなわち、制御信号Cbnが高レベル『H』のとき、高電位電源線(Vdd)からpMOSトランジスタ44、pウェル20(Vbn)およびダイオード21を介して低電位電源線(Vss:nMOSトランジスタ2のソース電極)に電流Ibnが流れるようになっている。ここで、制御信号Cbnが高レベル『H』のとき、nMOSトランジスタ40のゲートには、インバータ41により反転された低レベル『L』の制御信号Cbnが供給されるため、nMOSトランジスタ40はオフする。

【0035】

なお、制御信号Cbnが低レベル『L』のときは、nMOSトランジスタ42がオフしてnMOSトランジスタ40がオンするため、nMOSトランジスタ2のバックゲート(pウェル20)には低電位電源電圧Vssが印加されることになる。

【0036】

また、電流源3は、インバータ31、pMOSトランジスタ30、32およびnMOSトランジスタ33、34を備えて構成されている。そして、制御信号Cbpが低レベル『L』のときに、pMOSトランジスタ32がオンしてnMOSトランジスタ33に電流が流れ、さらに、nMOSトランジスタ33とカレントミラー接続されたnMOSトランジスタ34に電流Ibpが流れるようになっている。すなわち、制御信号Cbpが低レベル『L』のとき、高電位電源線(Vdd:pMOSトランジスタ1のソース電極)からダイオード11、nウェル10(Vbp)およびnMOSトランジスタ34を介して低電位電源線(Vss)に電流Ibpが流れるようになっている。ここで、制御信号Cbpが低レベル『L』のとき、pMOSトランジスタ30のゲートには、インバータ31により反転

された高レベル『H』の制御信号C b nが供給されるため、pMOSトランジスタ30はオフする。

【0037】

なお、制御信号C b pが高レベル『H』のときは、pMOSトランジスタ32がオフしてpMOSトランジスタ30がオンするため、pMOSトランジスタ1のバックゲート（nウェル10）には高電位電源電圧V d dが印加されることになる。

【0038】

図8は図6に示す半導体集積回路装置の他の構成例を示す回路図であり、基板バイアス回路110（電流源3，4）の他の例を示すものである。

【0039】

すなわち、図8と図7との比較から明らかなように、本構成例において、電流源4は、nMOSトランジスタ40およびpMOSトランジスタ44を備え、制御信号C b nが低レベル『L』のときに、nMOSトランジスタ40がオフしてpMOSトランジスタ44がオンし、このpMOSトランジスタ44に電流I b nが流れるようになっている。なお、制御信号C b nが高レベル『H』のときは、nMOSトランジスタ40がオンするため、nMOSトランジスタ2のバックゲート（pウェル20）には低電位電源電圧V s sが印加されることになる。

【0040】

また、電流源3は、nMOSトランジスタ34およびpMOSトランジスタ30を備え、制御信号C b pが高レベル『H』のときに、pMOSトランジスタ30がオフしてnMOSトランジスタ34がオンし、このnMOSトランジスタ34に電流I b pが流れるようになっている。なお、制御信号C b pが低レベル『L』のときは、pMOSトランジスタ30がオンするため、pMOSトランジスタ1のバックゲート（nウェル10）には高電位電源電圧V d dが印加されることになる。

【0041】

このように、図8に示す基板バイアス回路110（電流源3，4）は、図7に示す基板バイアス回路よりも電流源3，4の安定性は多少劣るものの、図7の基

板バイアス回路からnMOSトランジスタ33, 42、pMOSトランジスタ32, 43、および、インバータ31, 41を省略して回路構成を簡略化することができるようになっている。なお、図8に示す各電流源3, 4における制御信号Cbp, Cbnの論理レベルと回路動作の関係は、図7に示す各電流源3, 4における制御信号Cbp, Cbnの論理レベルと回路動作の関係とは逆になっている。

【0042】

上述したように、図7或いは図8の回路において、基板バイアス電圧VbnおよびVbpの発生は、制御信号CbnおよびCbpのレベルに応じて制御される。ここで、制御信号Cbn, Cbpは、例えば、それぞれ1ビットの信号として構成することができる。また、基板バイアス回路110は、後述するように、例えば、回路ブロックや機能回路毎に設ければよく、その回路構成も単純で占有面積の小さいものとして構成することができる。さらに、回路構成も図7或いは図8の回路に限定されることなく様々に変更することができるのはいうまでもない。

【0043】

図9は本発明に係る半導体集積回路装置におけるインバータ部のレイアウトパターンの一例を示す図であり、図10は図9のインバータ部を複数有する半導体集積回路装置の一例を概略的に示す図である。

【0044】

図4並びに図6～図9に示されるように、nMOSトランジスタ2のpウェル20（コンタクト領域； p^+ 拡散領域20a）にはバイアス電圧Vbnが印加され、また、pMOSトランジスタ1のnウェル10（コンタクト領域； n^+ 拡散領域10a）にはバイアス電圧Vbpが印加されることになるが、これらのバイアス電圧VbnおよびVbpは、例えば、第1層目の金属配線M12, M13およびM11, M14を介して基板バイアス回路110に接続される。ここで、高電位電源線（Vdd）および低電位電源線（Vss）は、例えば、第2層目の金属配線M21およびM22により共通接続されている。

【0045】

また、図9および図10に示されるように、各回路ブロックにおいては、例えば、複数のインバータ部（CMOSパターン）120、NAND部121、エクスクルーシブOR（EOR）122部等のゲートが規則的に配列され、基板バイアス回路110からのバイアス電圧（ V_{bn} 、 V_{bp} ）を各ゲート120、121、122等に供給するようになっている。

【0046】

図11は図10に示す半導体集積回路装置の変形例を概略的に示す図である。

【0047】

図11と図12との比較から明らかなように、本変形例においては、論理ゲート（インバータ部120、NAND部121、EOR部122等）に対する各バイアス電圧（ V_{bn1} 、 V_{bn2} 、 V_{bn3} 、…； V_{bp1} 、 V_{bp2} 、 V_{bp3} 、…）を基板バイアス回路110から独立に出力するようになっている。すなわち、図11の半導体集積回路装置では、基板バイアス回路110から1組のバイアス電圧 V_{bn} 、 V_{bp} だけが出力されていたのに対して、図12に示す変形例では、基板バイアス回路110から複数組のバイアス電圧 V_{bn1} 、 V_{bp1} ； V_{bn2} 、 V_{bp2} ； V_{bn3} 、 V_{bp3} ；…が出力され、よりきめ細かな制御が可能となっている。

【0048】

図12は図9のインバータ部を複数有する半導体集積回路装置の他の例を概略的に示す図であり、図13は図12に示す半導体集積回路装置の一変形例を概略的に示す図であり、そして、図14は図12に示す半導体集積回路装置の他の変形例を概略的に示す図である。図12～図14に示す各半導体集積回路装置は、各論理ゲート（各CMOS回路）を構成する行（ロウ）方向に配列されたpMOSトランジスタおよびnMOSトランジスタに着目したバイアス電圧の制御を示している。ここで、CMOS回路は、通常、同じ導電型（pチャネル型、或いは、nチャネル型）のトランジスタが行方向に整列され、且つ、図14の実施例を除き、2つのCMOS回路の同じ導電型のトランジスタが列（コラム）方向に隣接するようにして形成されている。すなわち、CMOS構成の半導体集積回路装置において、列方向に隣接する2つのCMOS回路における同じ導電型のウェル

領域（ n ウェル、或いは、 p ウェル）は一緒に形成されており、この各導電型のウェル領域に対して、それぞれバイアス電圧を印加するようになっている。

【0049】

図12に示す半導体集積回路装置は、前述した図10および図11に示す半導体集積回路装置を別の視点から描いたものであり、半導体集積回路装置を構成する標準セル部400に対して1つの基板バイアス回路110を設け、標準セル部400の p ウェル領域および n ウェル領域に対して、基板バイアス回路110からそれぞれバイアス電圧 V_{bp} および V_{bn} を印加するようになっている。

【0050】

図13に示す半導体集積回路装置は、標準セル部400を複数の（2つの）グループ401、402に分割し、各セルグループ401、402に対してそれぞれ基板バイアス回路411、412；421、422を設けるようになっている。ここで、図13に示す半導体集積回路装置では、各セルグループ401、402に対して、 p ウェル領域用の基板バイアス回路411、421および n ウェル領域用の基板バイアス回路412、422を設け、それぞれ制御回路410からの制御信号 CS_{pa} 、 CS_{pb} および CS_{na} 、 CS_{nb} により基板バイアス電圧 V_{bpa} 、 V_{bpb} および V_{bna} 、 V_{bnb} を制御するようになっている。

【0051】

図14に示す半導体集積回路装置では、異なる導電型のトランジスタが隣接しており、この場合には、隣接した領域でもそれぞれ独立して基板バイアス電圧を制御することができる。そして、標準セル部400の各行毎に基板バイアス回路430-1～430-nを設け、それぞれ制御回路410からの制御信号 $CS-1$ ～ $CS-n$ により基板バイアス電圧 V_{bp-1} 、 V_{bn-1} ～ V_{bp-n} ～ V_{bn-n} を制御するようになっている。

【0052】

このように、標準セル部および基板バイアス回路（並びに、制御回路）の配置は、必要に応じて様々に変形することができる。なお、基板バイアス回路の構成は、例えば、図7および図8に示す回路をそのまま適用することができる。

【0053】

図 1 5 は本発明が適用された半導体集積回路装置の一例の全体構成を示すブロック図である。図 1 5 において、参照符号 1 0 0 は半導体集積回路装置（ワンチップ IC）、1 0 1 ～ 1 0 3 は各回路ブロックを示し、1 0 1 は CPU（Central Processing Unit）、1 0 2 は DSP（Digital Signal Processor）および 1 0 3 は論理回路・メモリ回路等の他の回路ブロック、1 0 4 はバス、1 0 5 は電力制御ユニット、そして、1 1 1 ～ 1 1 3 は基板バイアス回路を示している。

【 0 0 5 4 】

図 1 5 に示されるように、各回路ブロック 1 0 1 ～ 1 0 3 は、バス 1 0 4 を介して接続され、互いに様々なデータおよび信号を遣り取りするようになっている。各回路ブロック 1 0 1 ～ 1 0 3 には、それぞれ電力制御ユニット 1 0 5 からの制御信号により制御される基板バイアス回路 1 1 1 ～ 1 1 3 を備え、半導体集積回路装置 1 0 0 の動作状態に応じて、必要な回路ブロックの基板バイアス回路だけ活性化するようになっている。ここで、各基板バイアス回路 1 1 1 ～ 1 1 3 は、図 7 を参照して説明したような回路構成とすることができ、電力制御ユニット 1 0 5 から供給される制御信号の高レベル『H』か低レベル『L』か（“ 1 ” か “ 0 ” か：1 ビットの制御信号）により制御することが可能である。

【 0 0 5 5 】

すなわち、各回路ブロック 1 0 1 ～ 1 0 3 毎に簡単な回路構成で小型の基板バイアス回路 1 1 1 ～ 1 1 3 を設け、動作状態に応じて各基板バイアス回路 1 1 1 ～ 1 1 3 の動作をそれぞれ 1 ビットの制御信号により制御することでより一層の低消費電力化を図ることができる。

【 0 0 5 6 】

図 1 6 は図 1 5 に示す半導体集積回路装置の断面を概略的に示す図である。

【 0 0 5 7 】

図 1 6 に示されるように、図 1 5 に示す複数の回路ブロック 1 0 1 ～ 1 0 3 を有する半導体集積回路装置（ワンチップ IC）1 0 0 は、例えば、トリプルウェル構造として構成され、各回路ブロック（CPU 1 0 1、DSP 1 0 2 および論理回路・メモリ回路 1 0 3 等）は、それぞれ電氣的に絶縁されるようになっている。これにより、各回路ブロック 1 0 1 ～ 1 0 3 毎に設けた基板バイアス回路 1

11～113で独立して対応する回路ブロックの動作を制御するようになっている。

【0058】

図17は本発明が適用された半導体集積回路装置の他の例における一部構成を示すブロック図であり、例えば、CPU1010（図15のCPU101に相当）を示すものである。

【0059】

図17に示されるように、CPU1010は、複数の機能ブロック1110～1140を備えて構成され、これら各機能ブロック1110～1140を備えて構成され、これら各機能ブロック1110～1140に対してそれぞれ基板バイアス回路1111～1141を設けるようになっている。すなわち、メモリブロック1110に対してはメモリブロック用基板バイアス回路1111を設け、レジスタブロック1120および1130に対してはそれぞれレジスタブロック用基板バイアス回路1121および1131を設け、そして、演算器ブロック1140に対しては演算器ブロック用基板バイアス回路1141を設けるようになっている。なお、各基板バイアス回路1111～1141は、制御回路1040からの各機能ブロック用の制御信号によりそれぞれ対応する機能ブロック1110～1140における基板バイアス電圧（ V_{bp} 、 V_{bn} ）を制御するようになっている。

【0060】

このように、基板バイアス電圧（ V_{bp} 、 V_{bn} ）の制御は、図15に示すようなCPU101やDSP102といった回路ブロック単位ではなく、このような回路ブロック（例えば、CPU）におけるより細かな機能ブロックを対象として制御することもできる。

【0061】

図18は本発明が適用された半導体集積回路装置のさらに他の構成を概略的に示すブロック図であり、ゲートイドクロック回路と組み合わせた場合の回路の一例を概略的に示すものである。

【0062】

図18に示されるように、半導体集積回路装置は、回路ブロック150の回路A(153)および回路ブロック160の回路B(163)に対して制御信号CSAおよびCSBとクロック信号CLKとの論理出力をクロックとしてそれぞれ供給するようになっている。すなわち、例えば、回路ブロック150におけるフリップフロップ152のクロック入力には、制御信号CSAとクロック信号CLKの論理積をとるANDゲート171の出力信号が供給され、また、回路ブロック160におけるフリップフロップ162のクロック入力には、制御信号CSBとクロック信号CLKの論理積をとるANDゲート172の出力信号が供給されている。さらに、回路ブロック150には、制御信号CSAにより制御される基板バイアス回路151が設けられ、また、回路ブロック160には、制御信号CSBにより制御される基板バイアス回路161が設けられている。

【0063】

すなわち、回路ブロック150、160に対してそれぞれ基板バイアス回路151、161を設け、その基板バイアス回路151、161の制御信号としてゲートドクロック回路用の制御信号CSA、CSBをそのまま利用するようになっている。これにより、回路ブロック150、160がそれぞれ動作が必要でない時には、制御信号CSA、CSBによりフリップフロップ152、162に入力されるクロックを止めてAC電力を削減する一方、基板バイアス回路151、161により基板バイアスを制御してリーク電力を削減できる効果がある。

【0064】

ところで、従来、低電圧におけるCMOS回路では、温度が上昇すると遅延が減少することが知られている。具体的に、K. Kanda et al., "Design Impact of Positive Temperature Dependence on Drain Current in Sub-1-V CMOS VLSI", IEEE J. Solid-State Circuits, vol. 36, No. 10, pp.1559-1564, October 2001 には、ZTC (Zero-Temperature Coefficient) ポイントよりも低い電源電圧(例えば、0.5V:0.7V以下の低電圧)でCMOS回路を動作させたとき、それまでの高い電源電圧(例えば、3.3V)での動作とは異なり、温度の上昇に従って遅延が減少することが報告されている。

【0065】

図19はトランジスタの遅延時間の温度依存性を説明するための図であり、図19(a)はダイオードを流れる電流 I_b とそれにより発生する電圧 V_f との関係を示し、また、図19(b)は本発明を低電圧(例えば、0.7V以下)で動作するCMOS回路に適用した場合を概念的に示すものである。

【0066】

本発明に係る半導体集積回路装置においては、例えば、図19(a)に示されるように(或いは、図5を参照して説明したように)、ダイオードを流れる電流 I_b (すなわち、図6および図7におけるダイオード21を流れる基板バイアス電流 I_{bn})を一定にしたとき、温度上昇に従って発生する電圧 V_f (基板バイアス電圧 V_{bn})の値は小さくなる。

【0067】

そのため、図19(b)に示されるように、温度上昇に従ってトランジスタのしきい値電圧 V_{th} は大きくなる。従って、本発明を、例えば、0.7V以下の低電圧で動作するCMOS回路に対して適用すると、上述した論文("Design Impact of Positive Temperature Dependence on Drain Current in Sub-1-V CMOS VLSI")にも示された低電圧動作のCMOS回路における温度の上昇に従って遅延が減少する特性が打ち消され(定性的に相殺され)、回路動作速度の遅延(Delay)を温度変化に依らず一定にすることが可能になる。

【0068】

図20～図23は本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図である。

【0069】

図20は32ビットALU(Arithmetic and Logic Unit)を27℃で駆動したとき、基板バイアス回路を動作させた場合(ALU01/ACT)と基板バイアス回路を停止させた場合(ALU01/STB)の電源電圧(V_{dd})に対する遅延時間の変化を測定した図である。

【0070】

図20から明らかなように、電源電圧 V_{dd} が0.40V～1.00Vの全ての範囲において、基板バイアス回路を動作させない場合よりも動作させた場合の

方が遅延時間の低減が可能なことが分かる。

【0071】

図21は32ビットALUを各電源電圧V_{dd} (V_{dd}=0.35, 0.40, 0.50, 0.60, 0.70, 0.80, 0.90, 1.00V) で温度Tを変化させて駆動したときの遅延時間の変化を測定した図であり、図21(a)は基板バイアス回路を動作させた場合(ALU01/アクティブ)を示し、図21(b)は基板バイアス回路を停止させた場合(ALU01/スタンバイ)を示すものである。

【0072】

図21(a)と図21(b)との比較から明らかなように、各電源電圧V_{dd}および各温度TEMPにおいて、基板バイアス回路を動作させない場合よりも動作させた場合の方が遅延時間の低減が可能であるが、特に、電源電圧V_{dd}が低い程且つ動作温度TEMPが低い程、遅延時間低減の効果が顕著なことが分かる。

【0073】

図22は32ビットALUを各温度(70℃, 27℃および-25℃)で電源電圧V_{dd}を変化させて駆動したときの高速化割合(率)SPの変化を示すものである。ここで、高速化割合SPは、 $SP = (1 - ACT/STB) \times 100$ [%] として求められる。なお、ACTは基板バイアス回路を動作させた場合の遅延時間を示し、また、STBは基板バイアス回路を動作させない場合の遅延時間を示している。

【0074】

図23はpMOSトランジスタのnウェル(10)において、制御信号C_{bp}による基板バイアス電圧の発生と、それによるnウェルの電圧レベルの変化をシミュレートしたものである。

【0075】

図23から明らかなように、例えば、図4に示すnウェル10の電圧レベルは、タイミングP0において制御信号C_{bp}が変化(低レベル『L』から高レベル『H』へ変化:図7参照)すると直ちに下降し、タイミングP1において順方向

バイアス電圧が印加された所定の電圧 (V_{bn}) になることが分かる。なお、制御信号 C_{bp} が高レベル『H』から低レベル『L』へ変化すると、図 7 を参照して説明した nMOS トランジスタ 42 がオフして nMOS トランジスタ 40 がオンすることにより、n ウェル 10 の電圧レベルは再び元の電圧 (V_{ss}) に直ちに帰ることになる。すなわち、例えば、図 7 に示されるように、基板バイアス回路 110 (電流源 3) は、制御信号 C_{bp} (例えば、1 ビットの信号) の変化に応じて直ちに動作することが可能である。

【0076】

【発明の効果】

以上、詳述したように、本発明によれば、簡単な回路構成により適切なレベルの順方向基板 (ウェル) バイアス電圧を発生することのできる基板バイアス回路を備えた半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【図 1】

従来の半導体集積回路装置の一例を示す回路図である。

【図 2】

従来の半導体集積回路装置の他の例を示す回路図である。

【図 3】

本発明に係る半導体集積回路装置の原理構成を示す回路図である。

【図 4】

本発明に係る半導体集積回路装置の原理構成を説明するための断面図である。

【図 5】

本発明の半導体集積回路装置の原理を説明するためのダイオード特性を示す図である。

【図 6】

本発明に係る半導体集積回路装置の一実施例を概念的に示す回路図である。

【図 7】

図 6 に示す半導体集積回路装置の一構成例を示す回路図である。

【図 8】

図 6 に示す半導体集積回路装置の他の構成例を示す回路図である。

【図 9】

本発明に係る半導体集積回路装置におけるインバータ部のレイアウトパターン
の一例を示す図である。

【図 1 0】

図 9 のインバータ部を複数有する半導体集積回路装置の一例を概略的に示す図
である。

【図 1 1】

図 1 0 に示す半導体集積回路装置の変形例を概略的に示す図である。

【図 1 2】

図 9 のインバータ部を複数有する半導体集積回路装置の他の例を概略的に示す
図である。

【図 1 3】

図 1 2 に示す半導体集積回路装置の一変形例を概略的に示す図である。

【図 1 4】

図 1 2 に示す半導体集積回路装置の他の変形例を概略的に示す図である。

【図 1 5】

本発明が適用された半導体集積回路装置の一例の全体構成を示すブロック図で
ある。

【図 1 6】

図 1 5 に示す半導体集積回路装置の断面を概略的に示す図である。

【図 1 7】

本発明が適用された半導体集積回路装置の他の例における一部構成を示すブロ
ック図である。

【図 1 8】

本発明が適用された半導体集積回路装置のさらに他の構成を概略的に示すブロ
ック図である。

【図 1 9】

トランジスタの遅延時間の温度依存性を説明するための図である。

【図 2 0】

本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図（その 1）である。

【図 2 1】

本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図（その 2）である。

【図 2 2】

本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図（その 3）である。

【図 2 3】

本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図（その 4）である。

【符号の説明】

1 … pMOS トランジスタ

2 … nMOS トランジスタ

3, 4 … 電流源

1 0 0 … 半導体集積回路装置

1 0 1 … CPU

1 0 2 … DSP

1 0 3 … 論理回路・メモリ等

1 0 4 … バス

1 0 5 … 電力制御ユニット

1 1 0 ; 1 1 1 ~ 1 1 3 ; 4 1 1, 4 1 2, 4 2 1, 4 2 2 ; 4 3 0 - 1 ~ 4 3 0 - n ; 1 1 1 1, 1 1 2 1, 1 1 3 1, 1 1 4 1 ; 1 5 1, 1 6 1 … 基板バイアス回路

1 2 0, 1 0 0, 2 0 0, 3 0 0 … インバータ部（CMOS インバータ）

G … ゲート電極

D … ドレイン電極

S … ソース電極

V b n … p M O S ト ラ ン ジ ス タ 用 基 板 バ イ ア ス 電 圧

V b p … n M O S ト ラ ン ジ ス タ 用 基 板 バ イ ア ス 電 圧

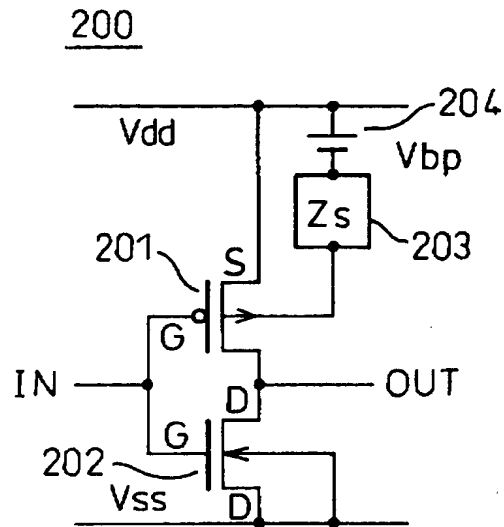
V d d … 高 電 位 電 源 電 圧 (高 電 位 電 源 線)

V s s … 低 電 位 電 源 電 圧 (低 電 位 電 源 線)

【書類名】 図面

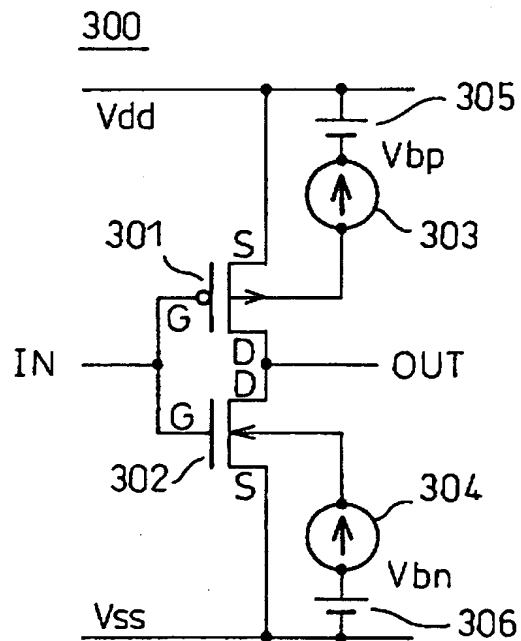
【図 1】

図 1 従来の半導体集積回路装置の一例を示す回路図



【図 2】

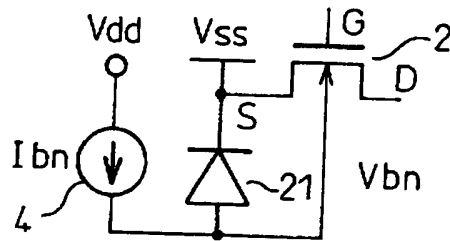
図 2 従来の半導体集積回路装置の他の例を示す回路図



【図 3】

図 3

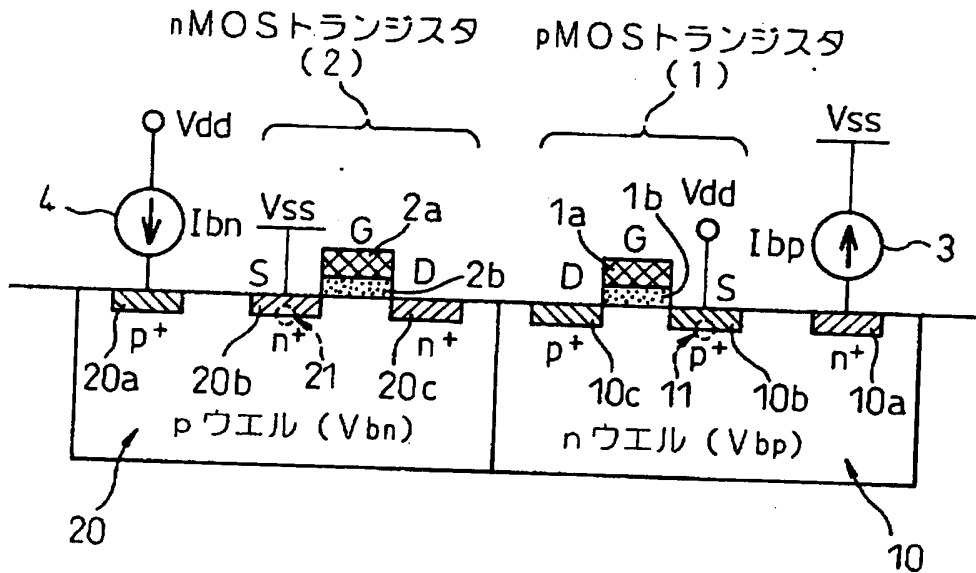
本発明に係る半導体集積回路装置の原理構成を示す回路図



【図 4】

図 4

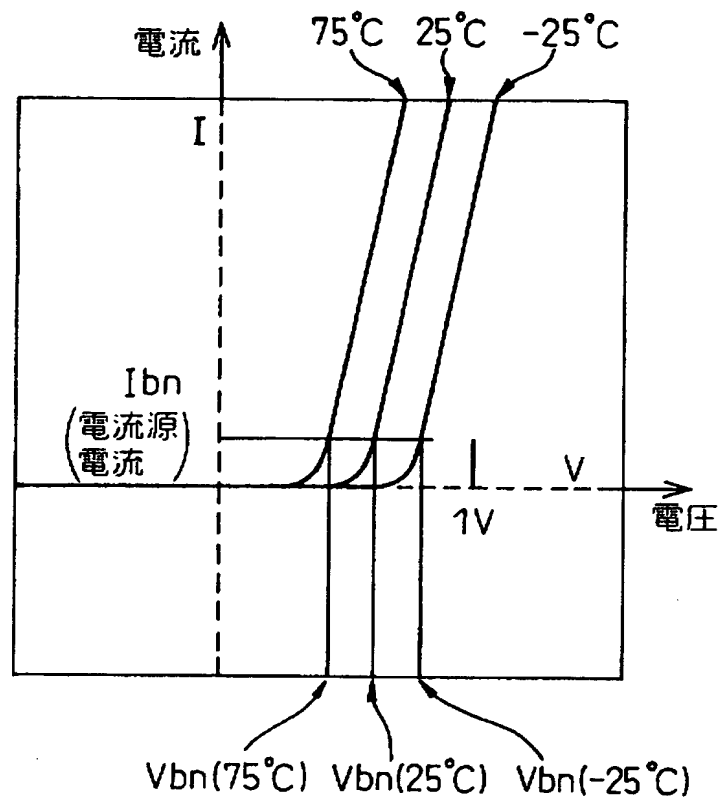
本発明に係る半導体集積回路装置の原理構成を説明するための断面図



【図 5】

図 5

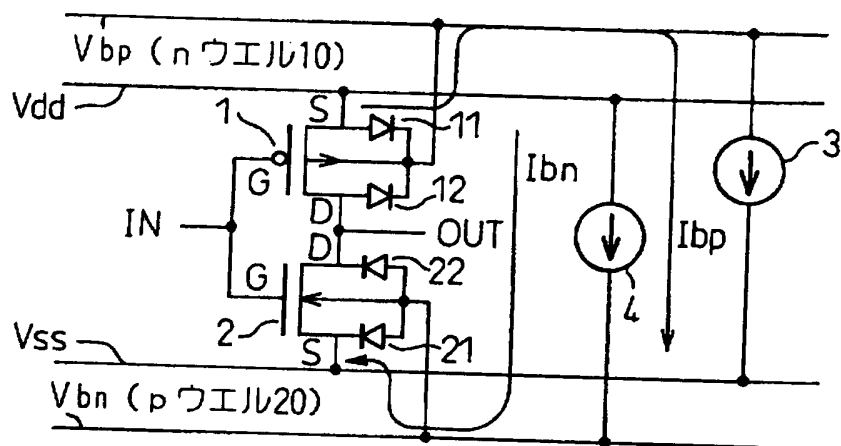
本発明の半導体集積回路装置の原理を説明するためのダイオード特性を示す図



【図 6】

図 6

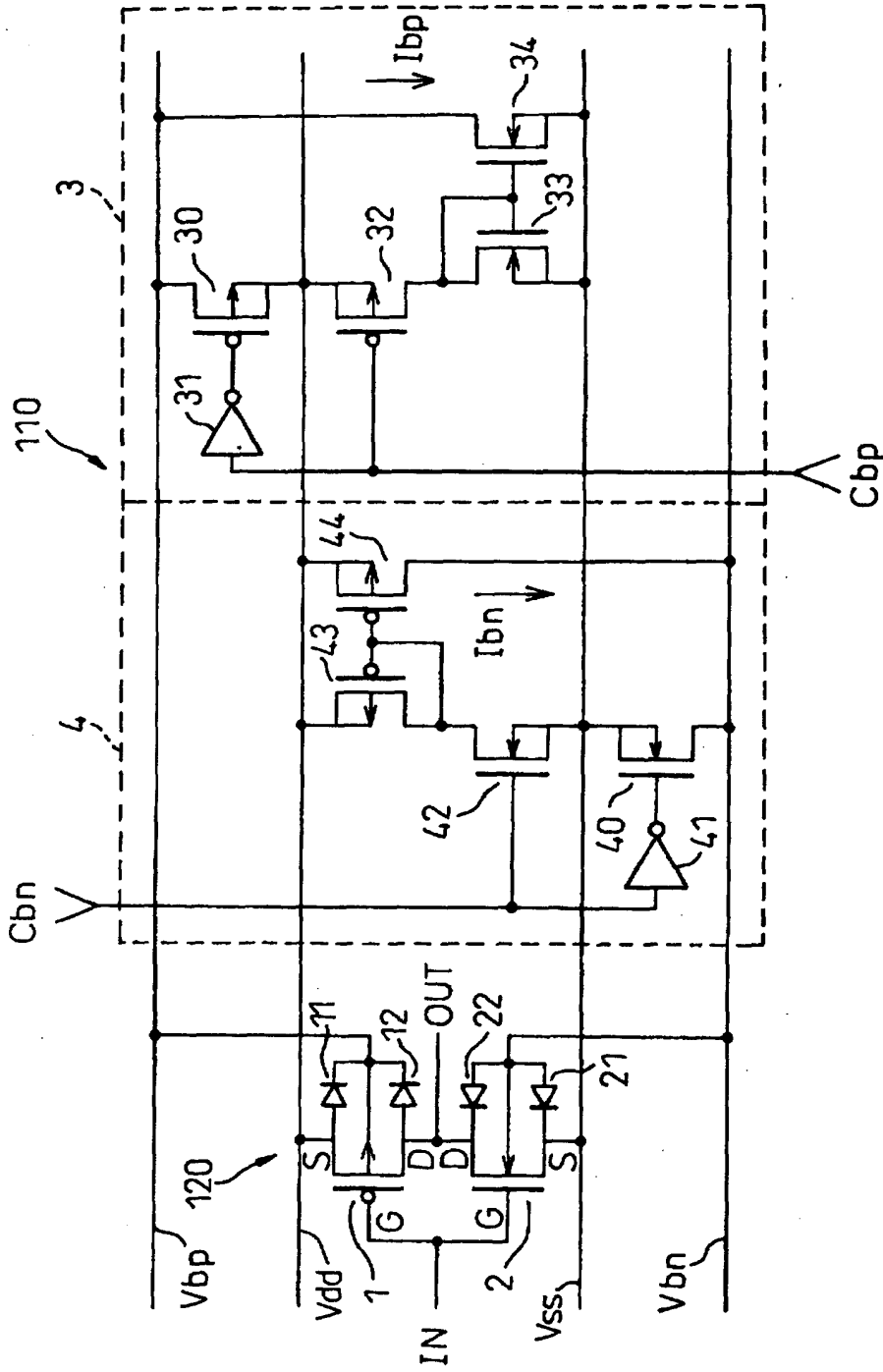
本発明に係る半導体集積回路装置の一実施例を概念的に示す回路図



【図7】

図 7

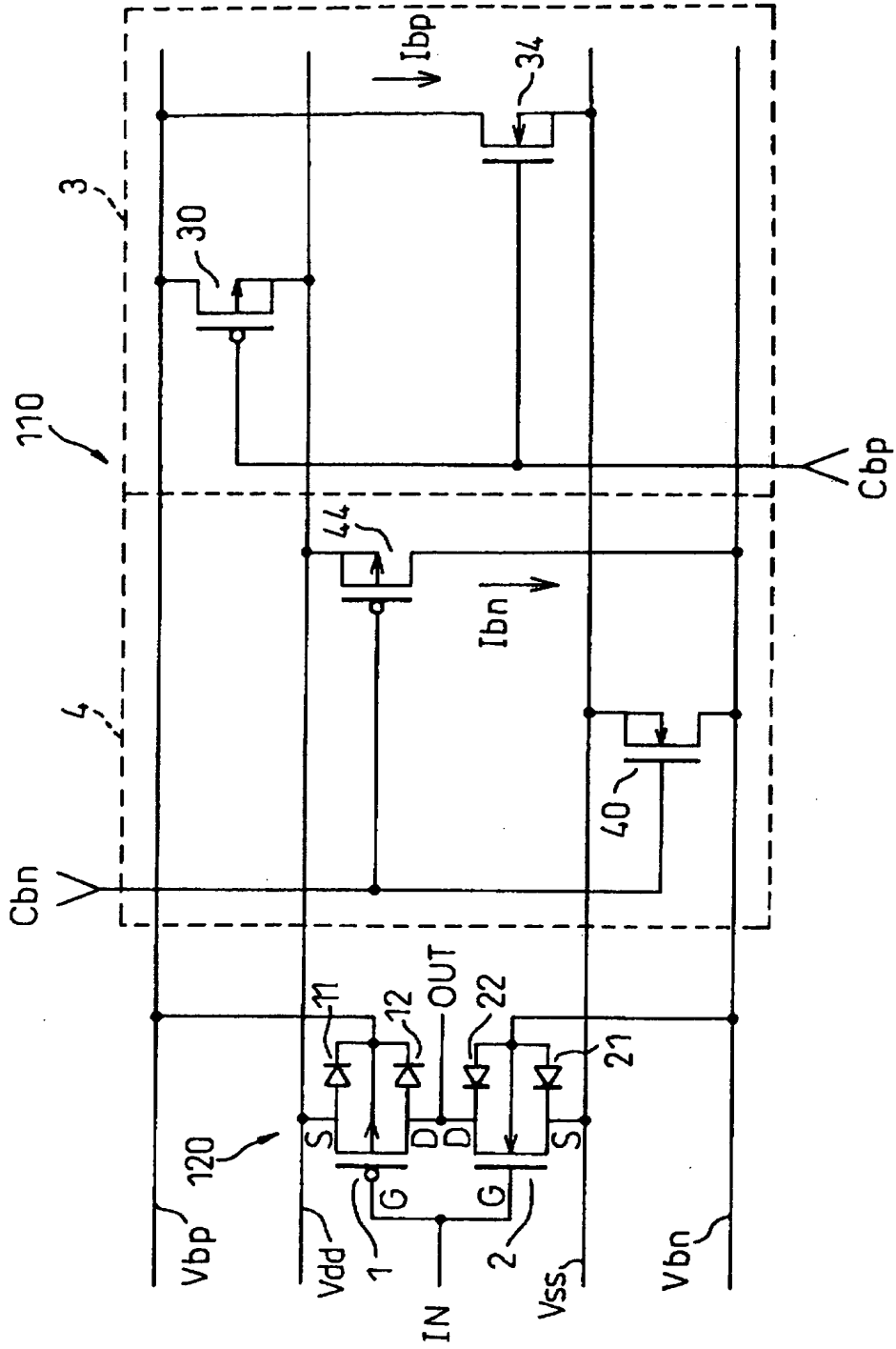
図6に示す半導体集積回路装置の一構成例を示す回路図



【図 8】

図 8

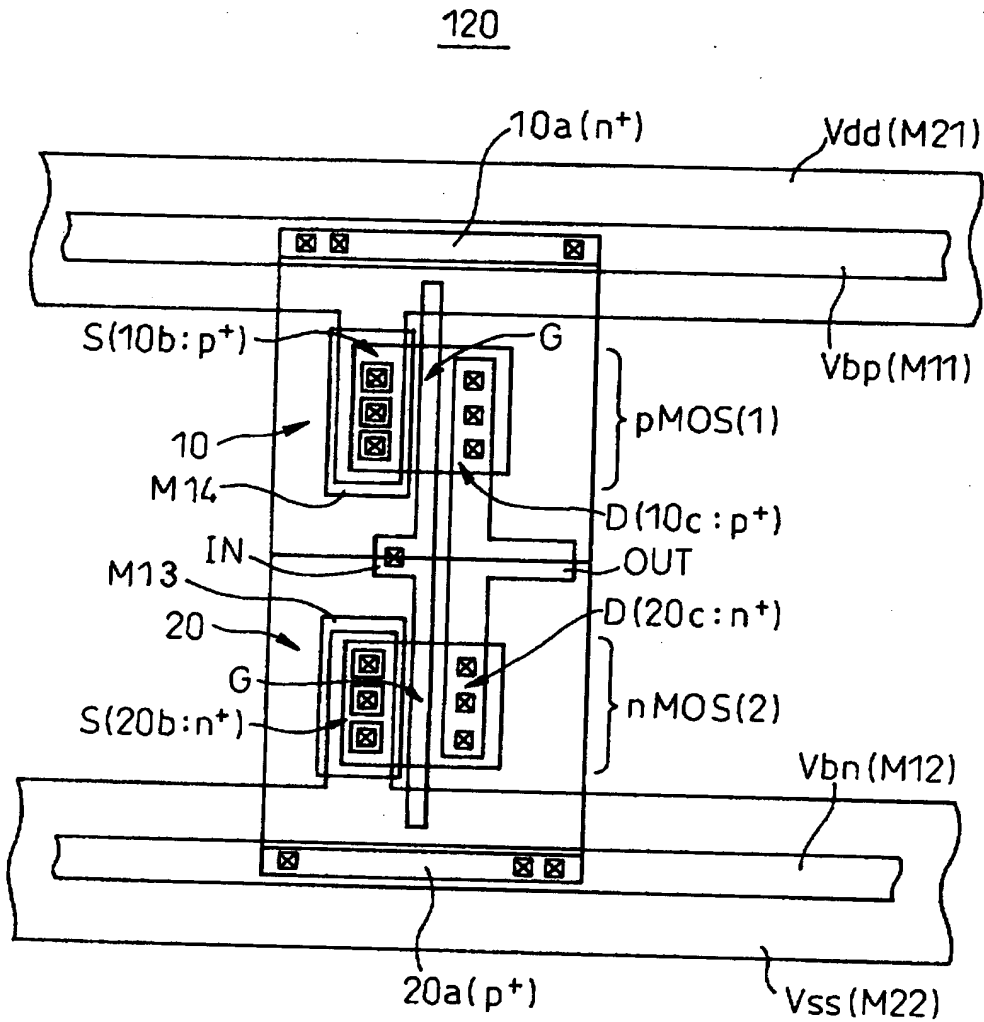
図 6 に示す半導体集積回路装置の他の構成例を示す回路図



【図9】

図 9

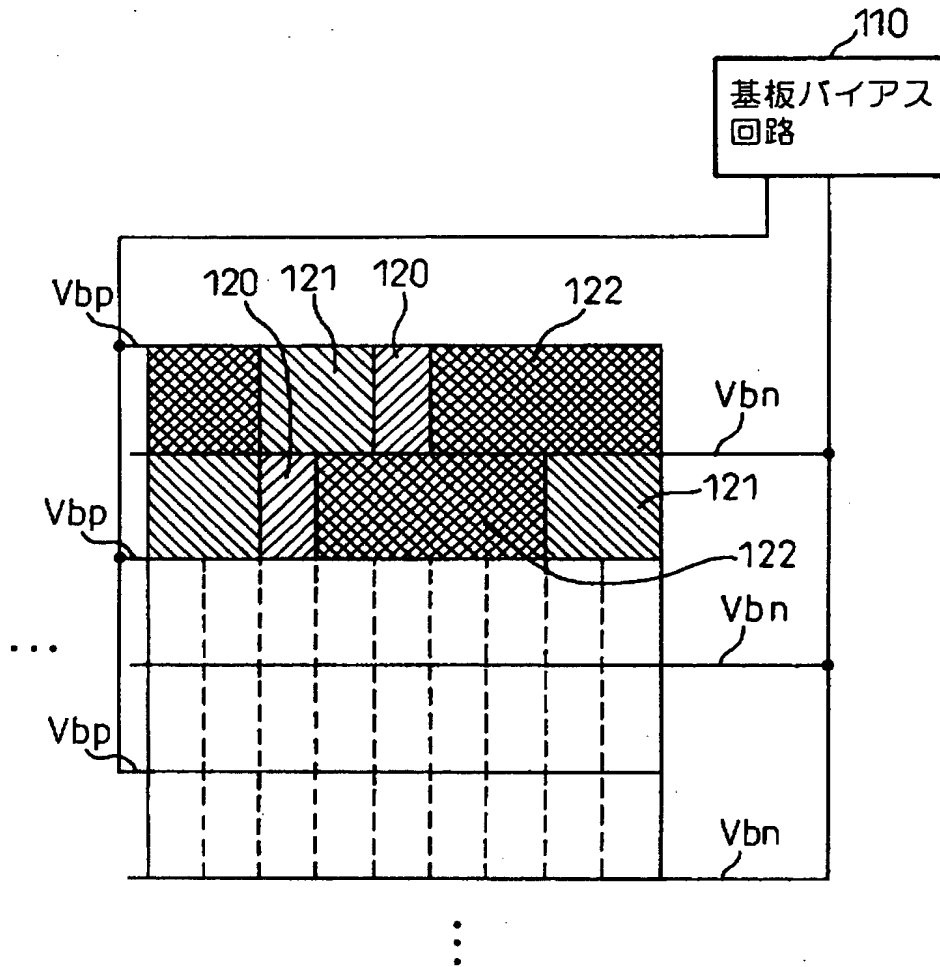
本発明に係る半導体集積回路装置におけるインバータ部のレイアウトパターンの一例を示す図



【図 1 0】

図 10

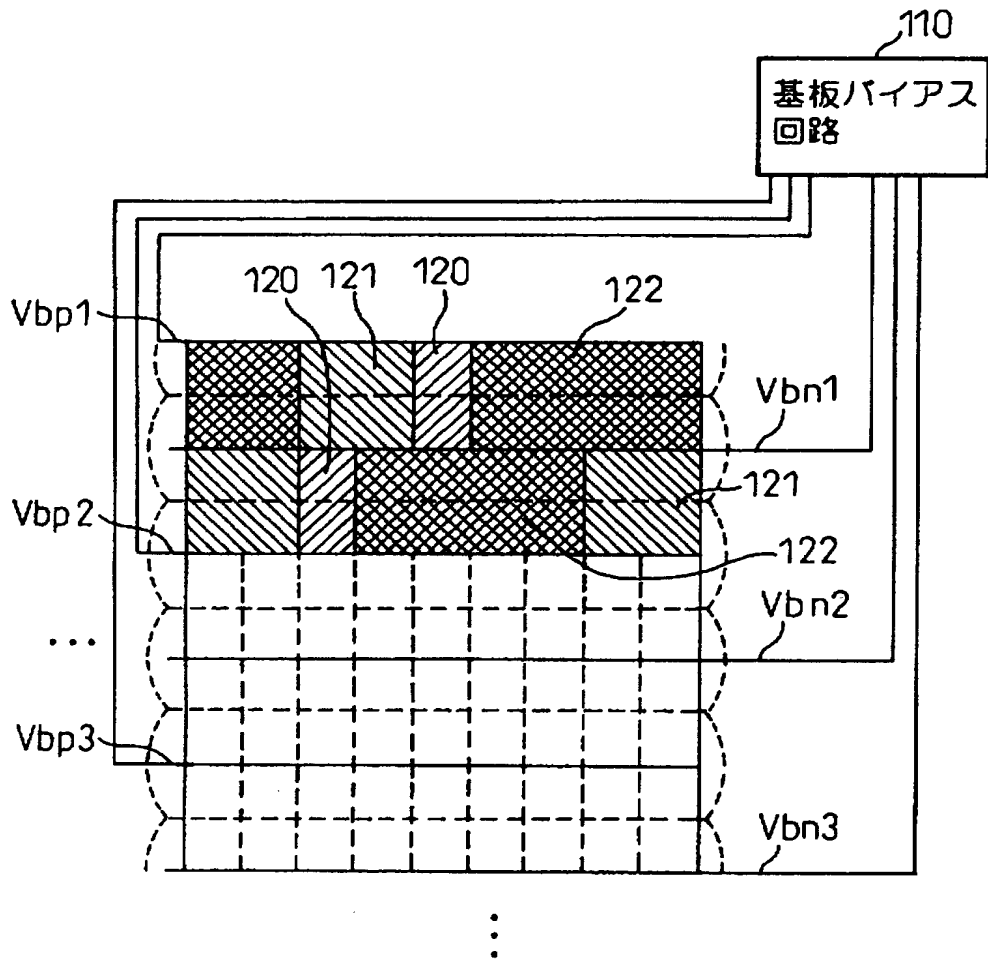
図 9 のインバータ部を複数有する回路ブロックを概略的に示す図



【図 1 1】

図 11

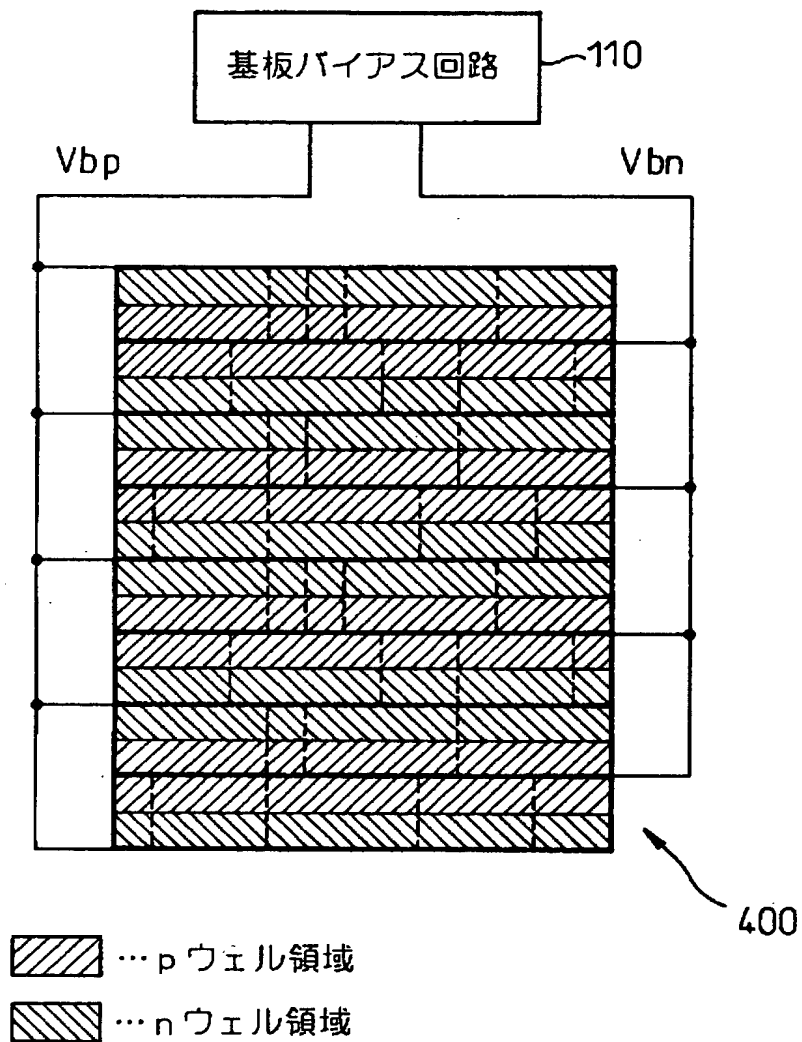
図10に示す半導体集積回路装置の変形例を概略的に示す図



【図 1 2】

図 12

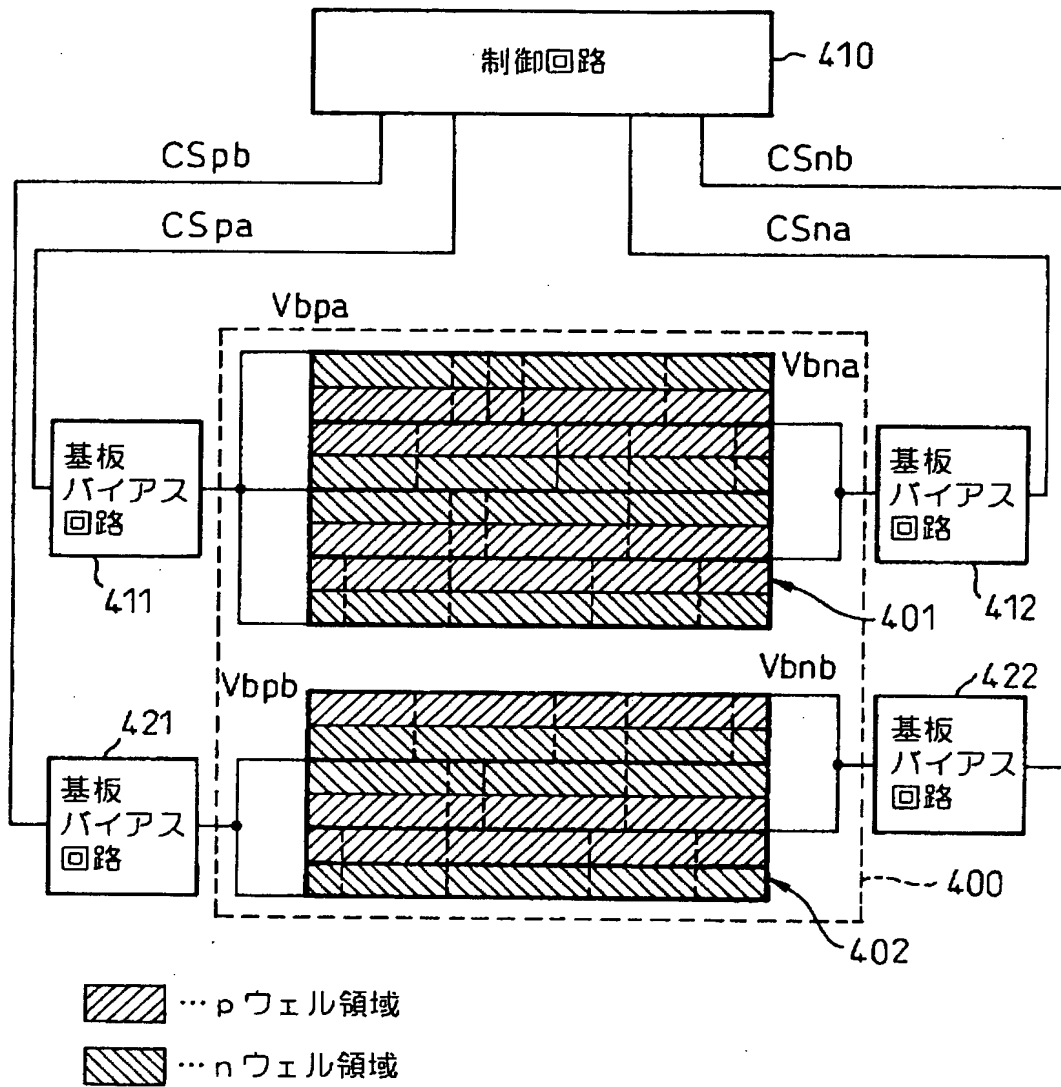
図 9 のインバータ部を複数有する半導体集積回路装置の
他の例を概略的に示す図



【図 13】

図 13

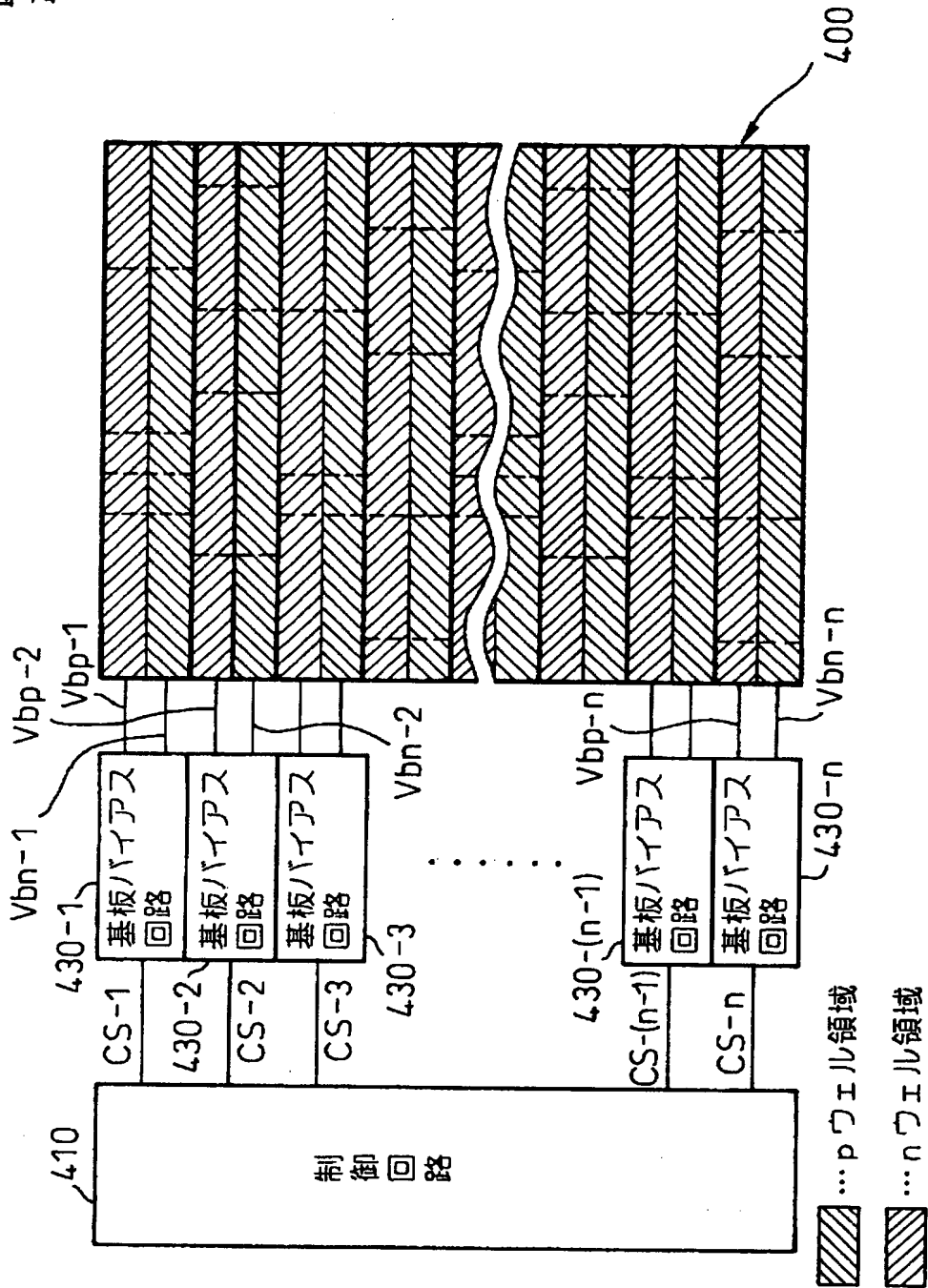
図12に示す半導体集積回路装置の一変形例を概略的に示す図



【図14】

図14

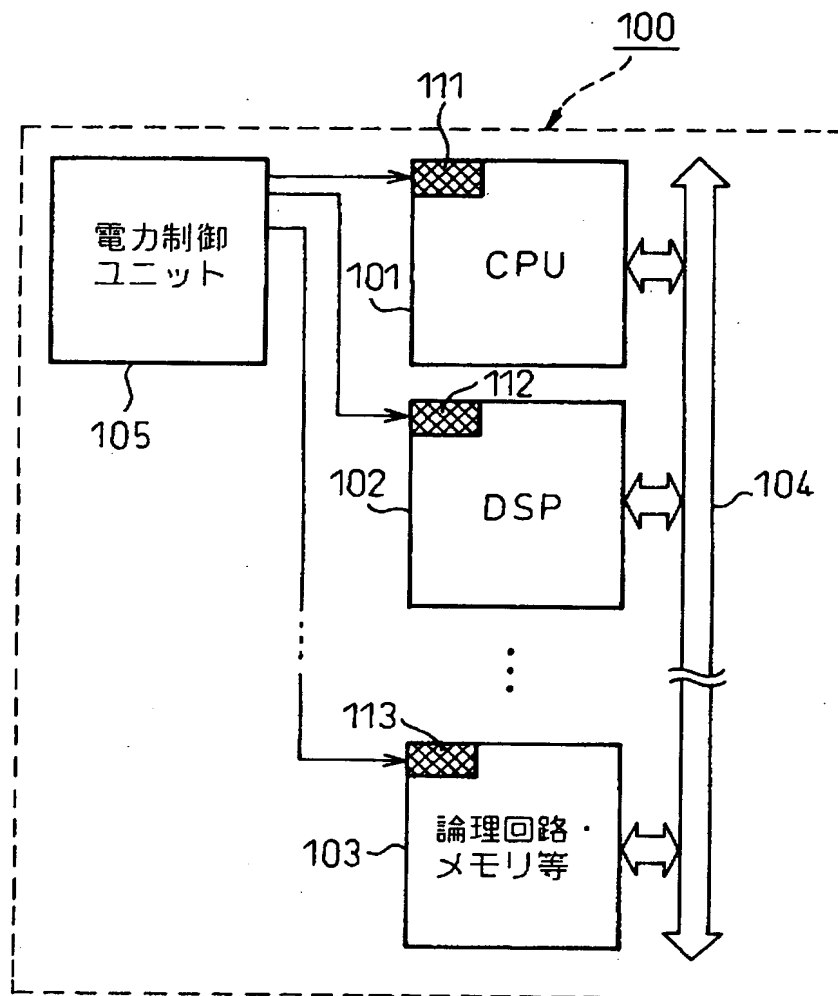
図12に示す半導体集積回路装置の他の変形例を概略的に示す図



【図 1 5】

図 15

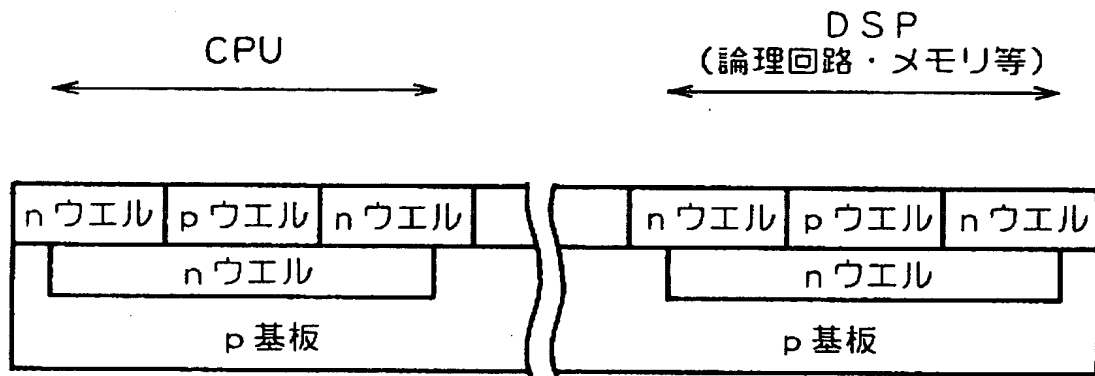
本発明が適用された半導体集積回路装置の一例の全体構成を示すブロック図



【図 1 6】

図 16

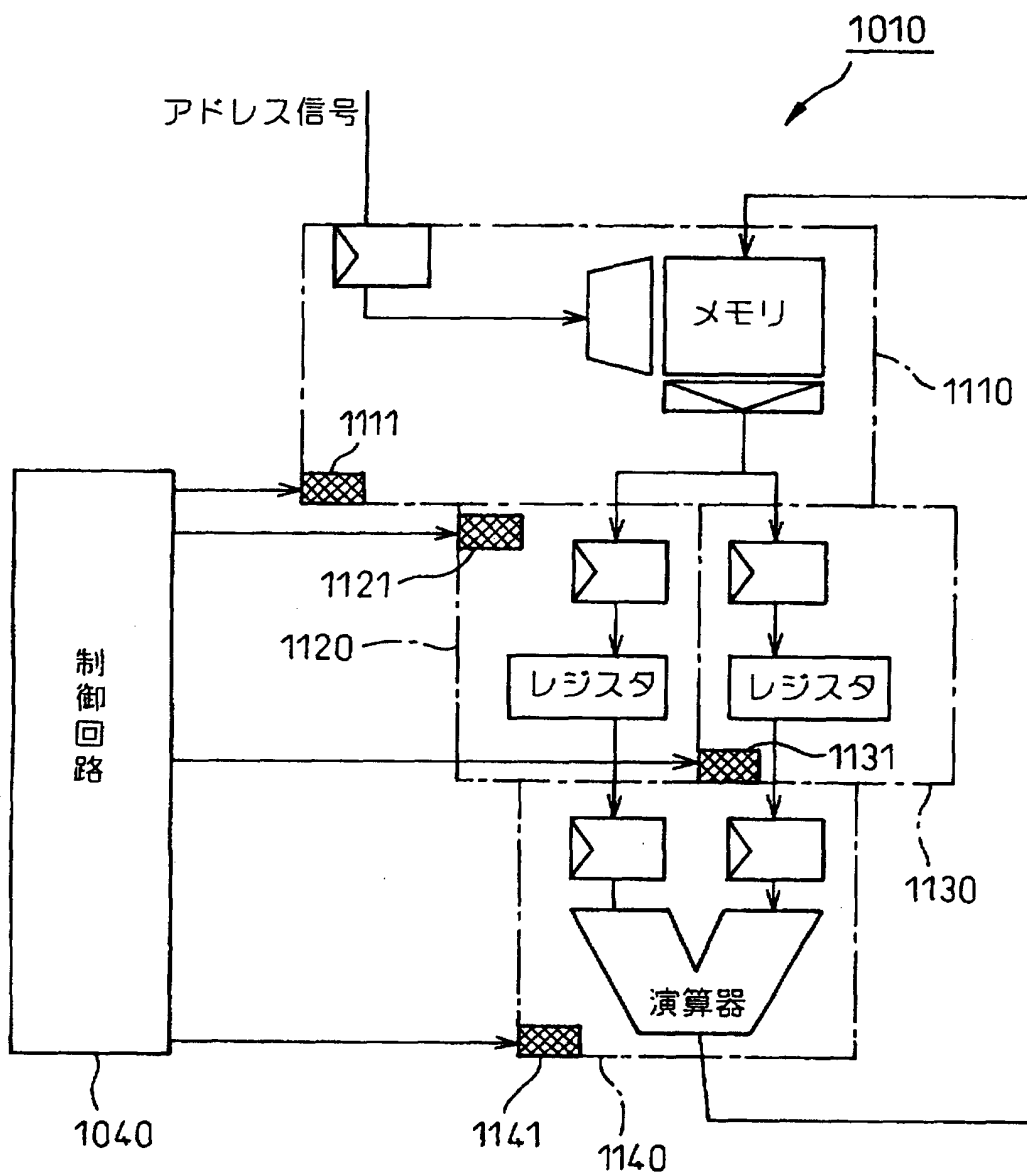
100



【図17】

図17.

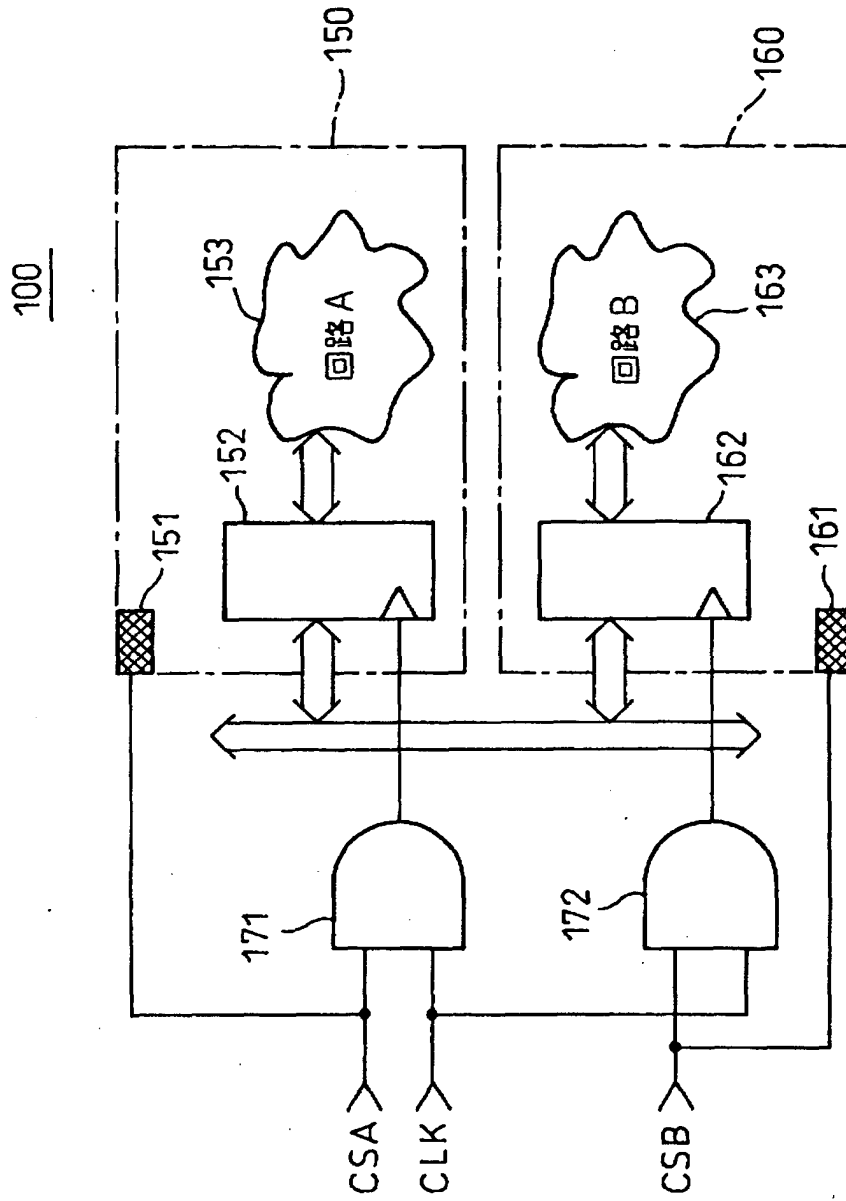
本発明が適用された半導体集積回路装置の他の例における
一部構成を示すブロック図



【図 18】

図 18

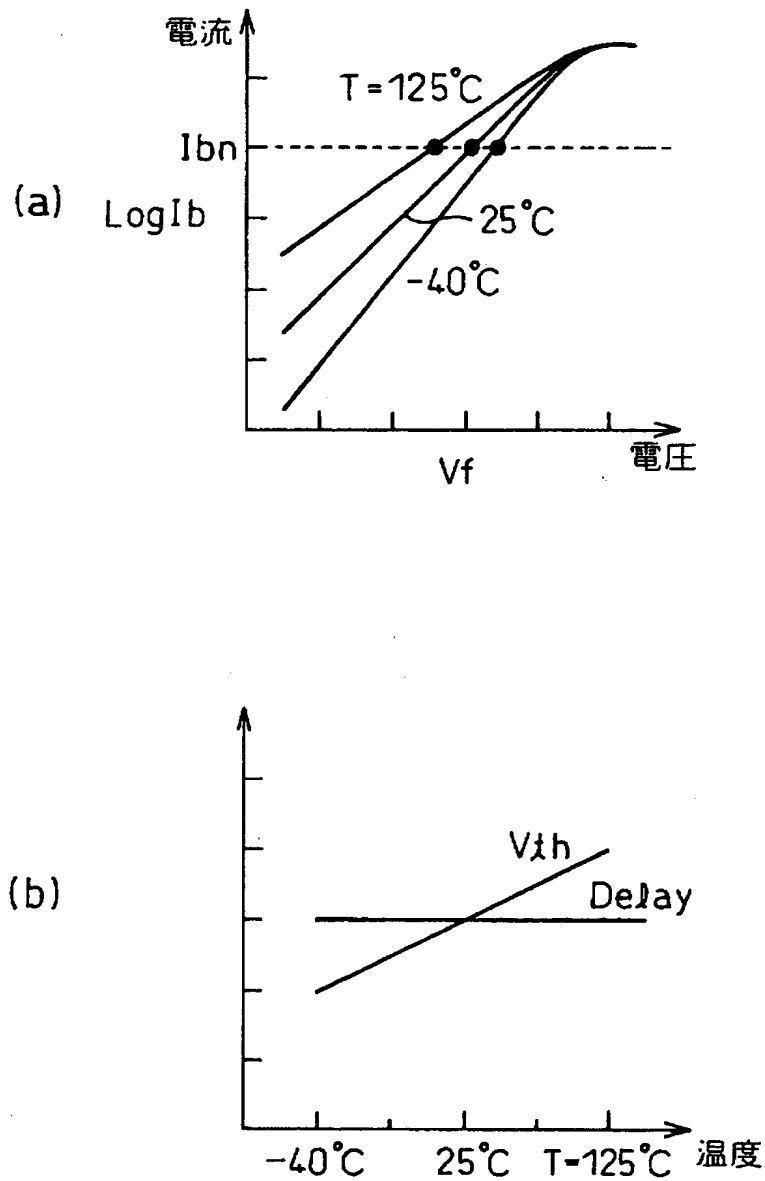
本発明が適用された半導体集積回路装置のさらに他の構成を概略的に示すブロック図



【図 1 9】

図 19

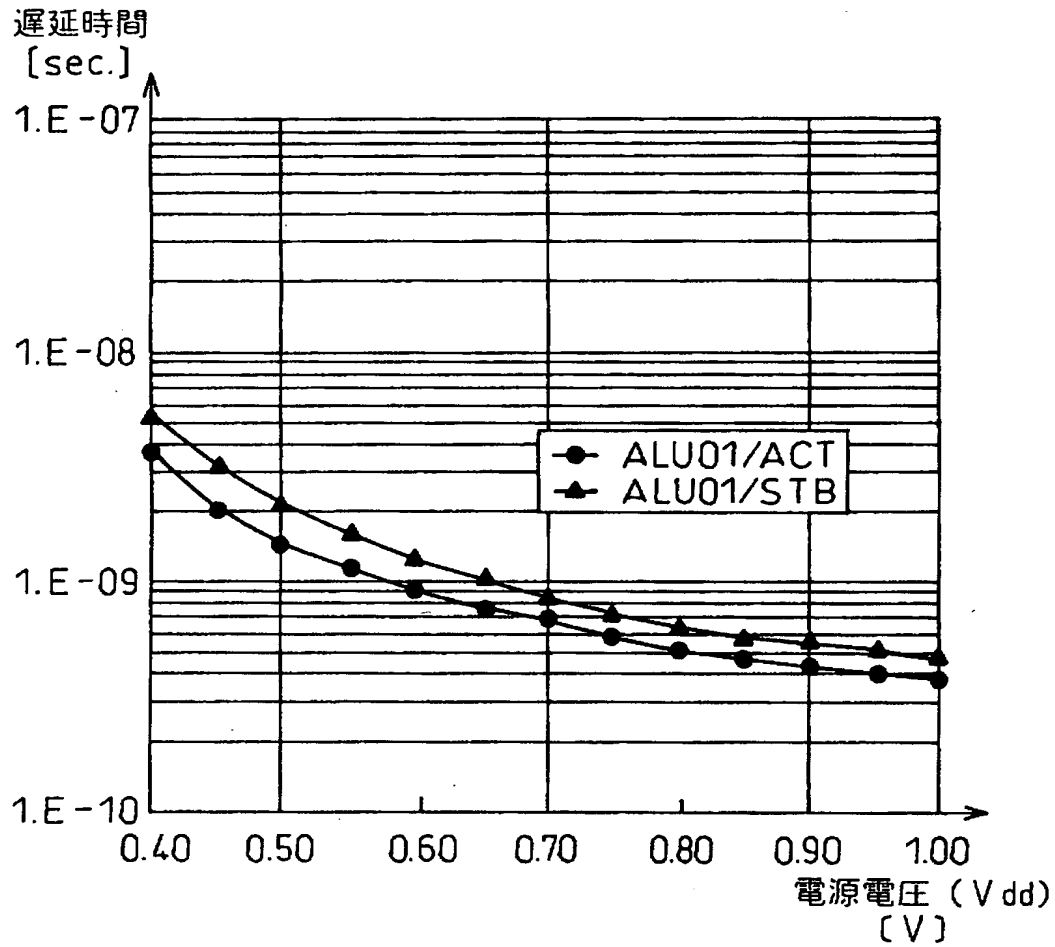
トランジスタの遅延時間の温度依存性を説明するための図



【図 2 0】

図 20

本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図（その 1）

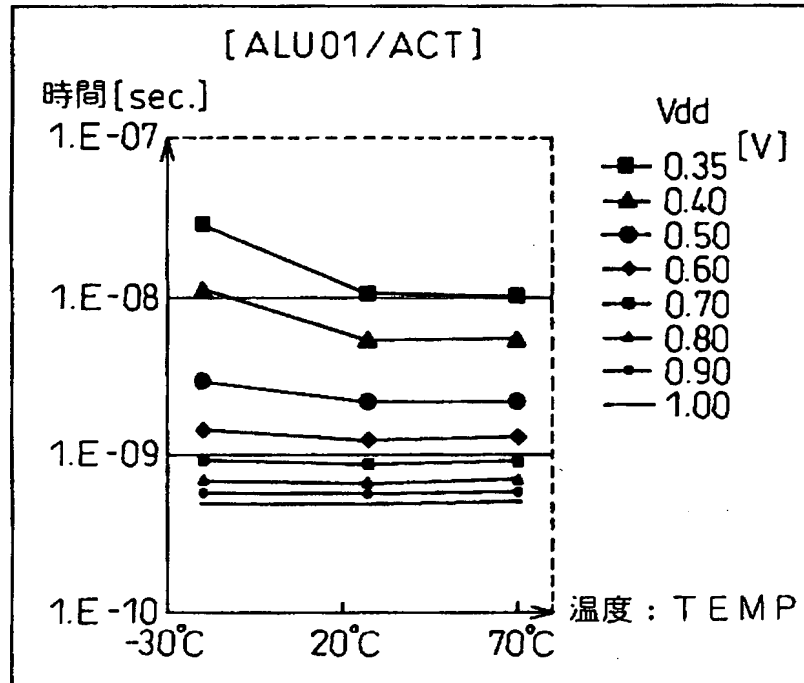


【図 21】

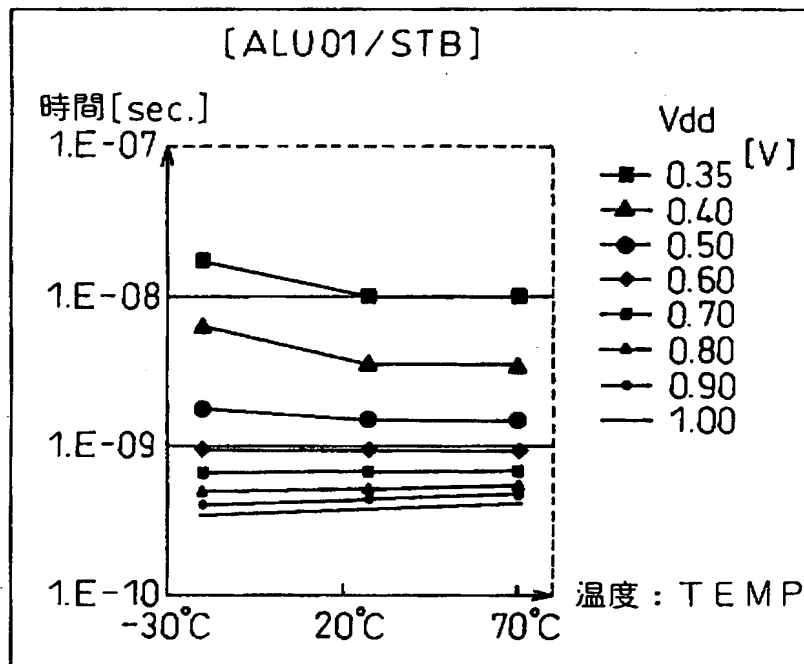
図 21

本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図（その2）

(a)



(b)

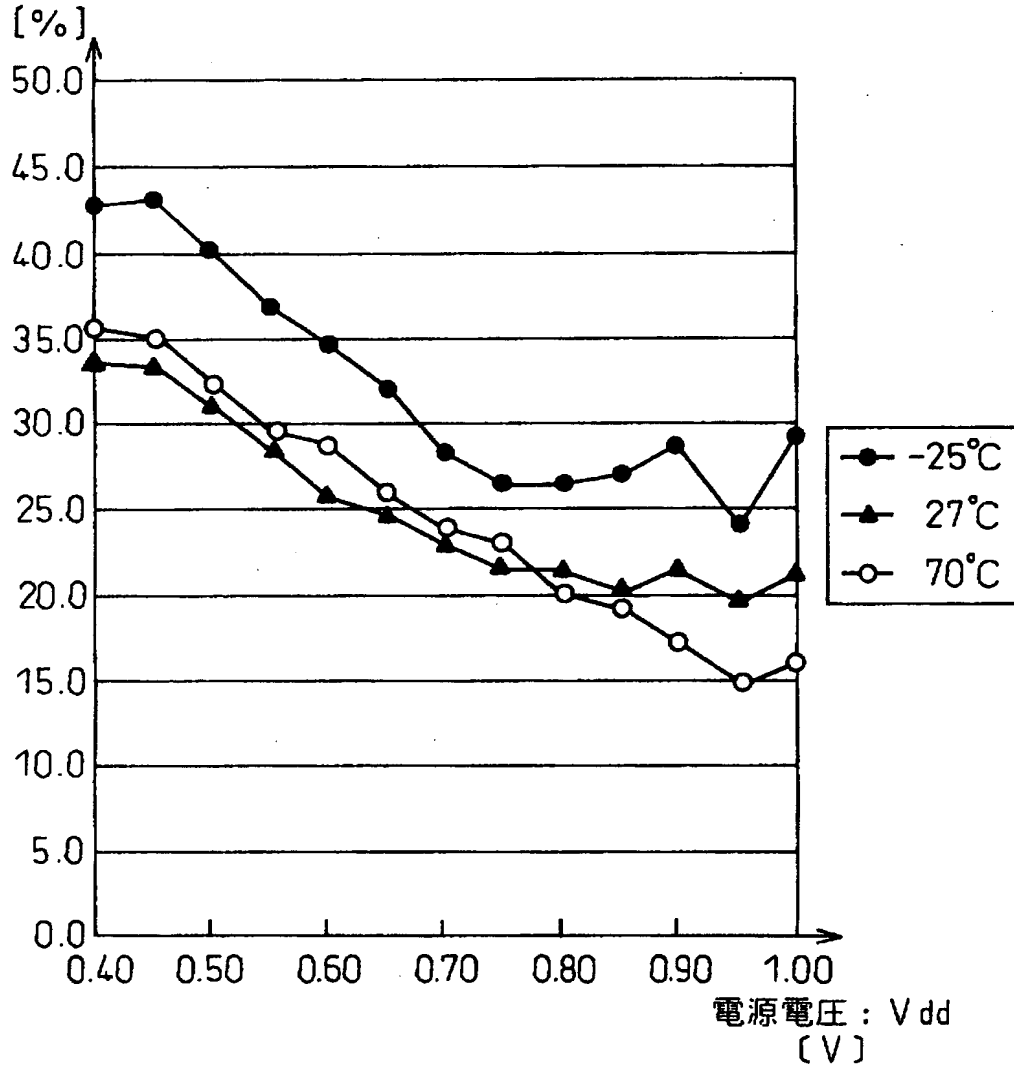


【図 2 2】

図22

本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図（その3）

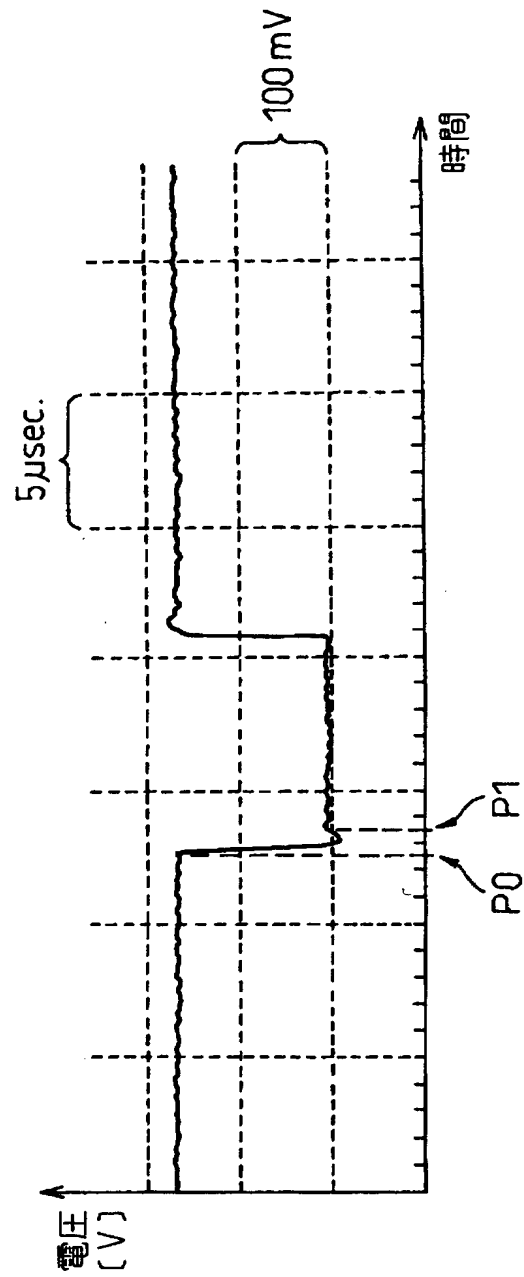
高速化割合（率）：SP



【図 2 3】

図 23

本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図（その 4）



【書類名】 要約書

【要約】

【課題】 近年、MOSトランジスタのウェル（基板）に順方向バイアス電圧を印加することが注目されているが、温度変化に対して最大限の順方向バイアス電圧を得ることが難しく、そのための回路構成や占有面積も問題になってきている。

【解決手段】 第1導電型（ p^+ ； n^+ ）のソース電極Sおよびドレイン電極Dとゲート電極Gとを有し、第2導電型（ n ； p ）のウェル10；20に形成されてなるMISFET1；2を備える半導体集積回路装置であって、前記ウェル10；20の電位 V_{bp} ； V_{bn} を、前記MISFET1；2のソース電極Sおよび該ウェル10；20により形成されるダイオード11；21に対して所定電流 I_{bp} ； I_{bn} を順方向に流すことにより生成する基板バイアス回路110；111～113を備えるように構成する。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [396023993]

1. 変更年月日 2001年 3月23日

[変更理由] 住所変更

住 所 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビ
ル6階

氏 名 株式会社半導体理工学研究センター